

### **3. Consideraciones temporales. Eliminación de competencias.**

En esta sección se comienza describiendo los conceptos más importantes relacionados con las consideraciones temporales, a saber, ciclo, carrera, carrera no crítica, carrera crítica y retardo inercial. Posteriormente, se ilustran las diferencias entre carreras no críticas y carreras críticas, mediante un sencillo ejemplo de aplicación.

#### **3.1. Estudio del Problema:**

**CICLO:** Secuencia de estados inestables **única** por la que , partiendo de un estado inicial dado y una transición de estados, el circuito pasa hasta llegar a un nuevo estado estable.

**CARRERA:** Dos o más variables de estado secundario deben cambiar de valor cuando el circuito debe hacer una transición de un estado estable a otro estado estable.

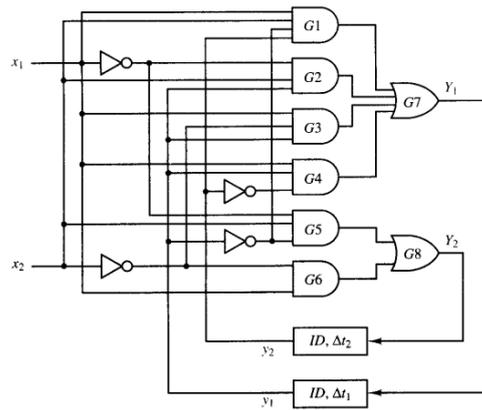
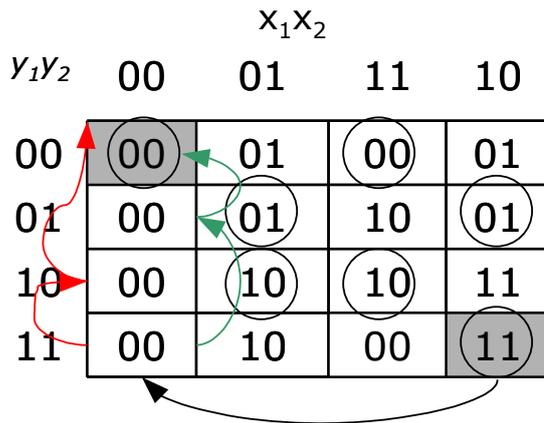
**CARRERA NO CRITICA:** Si en la transición de un estado estable a otro estado estable se exige el cambio en más de una variable secundaria, pero, cualquiera que sea el camino seguido por el circuito en su evolución, está garantizado que se llaga al estado final que se desea.

**CARRERA CRITICA:** Si en la transición de un estado estable a otro estado estable se exige el cambio en más de una variable secundaria y dependiendo del camino seguido por el circuito en su evolución, se llega a un estado estable o a otro.

**RETARDO INERCIAL (ID):** Elemento de retardo que solo responde a señales que persisten durante un tiempo mayor o igual que el tiempo de retardo. Filtran los transitorios no deseados de las señales de realimentación que pueden provocar errores. *En este tema se suponen inerciales todos los elementos de retardo del esquema general, aunque en la práctica no suele utilizarse elemento de retardo alguno en las líneas de realimentación*

Ejemplo:

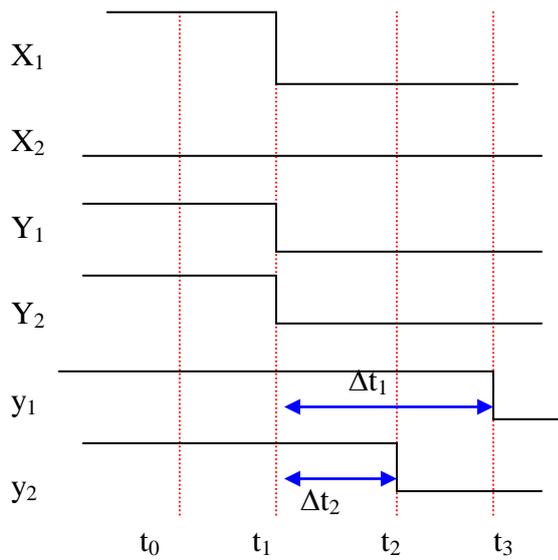
a) Carrera no critica. Inicialmente 1011 ( $x_1x_2y_1y_2$ ),  $x_1 = 0$



$$Y_1 = y_1x_2\bar{x}_1 + y_1\bar{y}_2x_2 + y_1x_1\bar{x}_2 + \bar{y}_1y_2x_1x_2$$

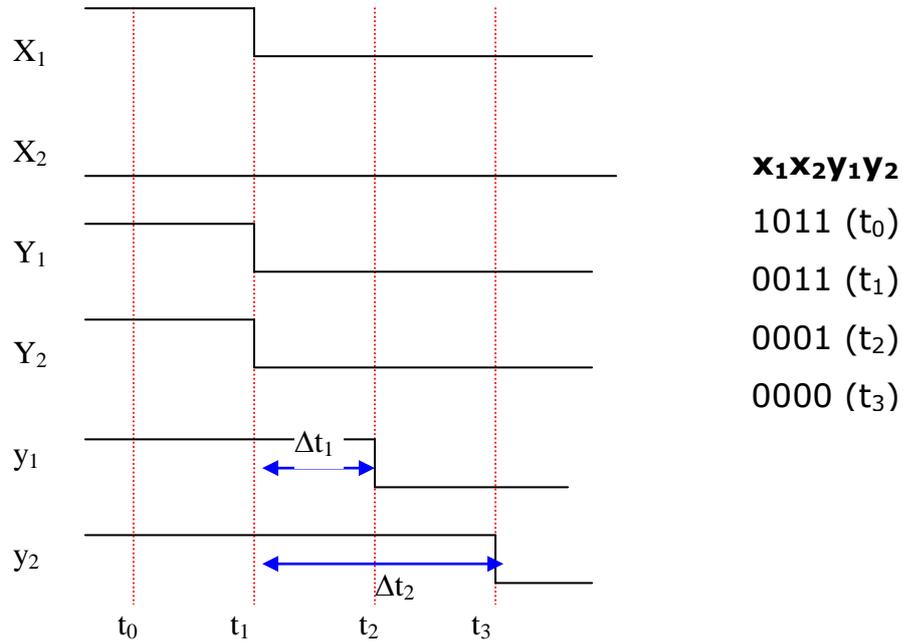
$$Y_2 = \bar{x}_1x_2\bar{y}_1 + \bar{x}_2x_1$$

a.1)  $\Delta t_1 > \Delta t_2$  (Rojo)



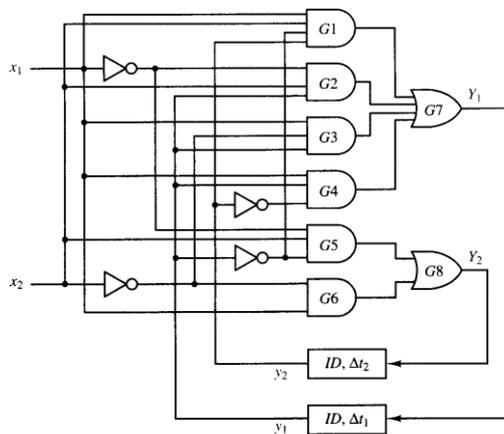
**$x_1x_2y_1y_2$**   
 1011 ( $t_0$ )  
 0011 ( $t_1$ )  
 0010 ( $t_2$ )  
 0000 ( $t_3$ )

a.2)  $\Delta t_1 < \Delta t_2$  (Verde)

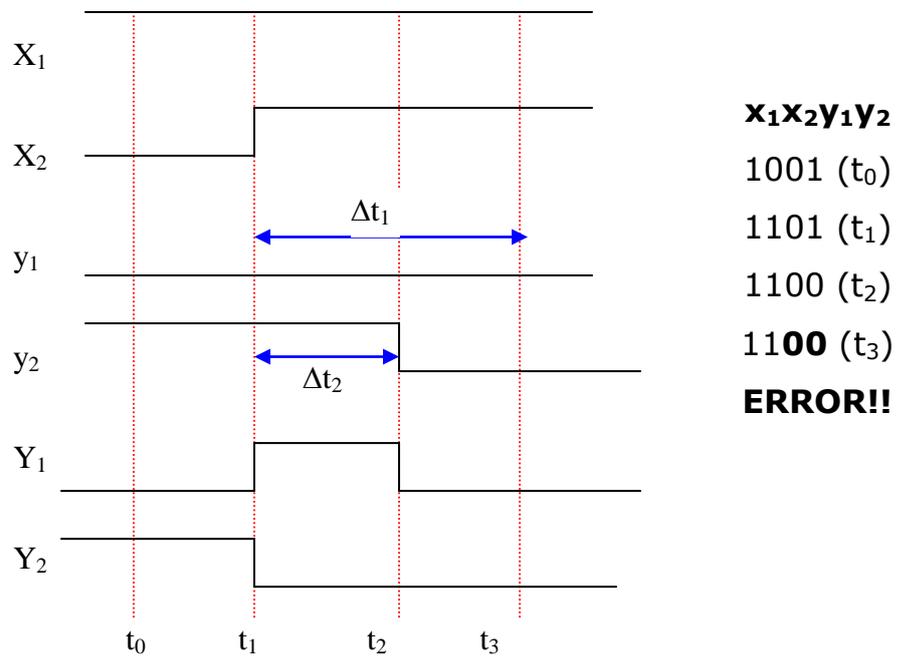


b) Carrera crítica. Inicialmente 1001 ( $x_1x_2y_1y_2$ ),  $x_2 = 1$

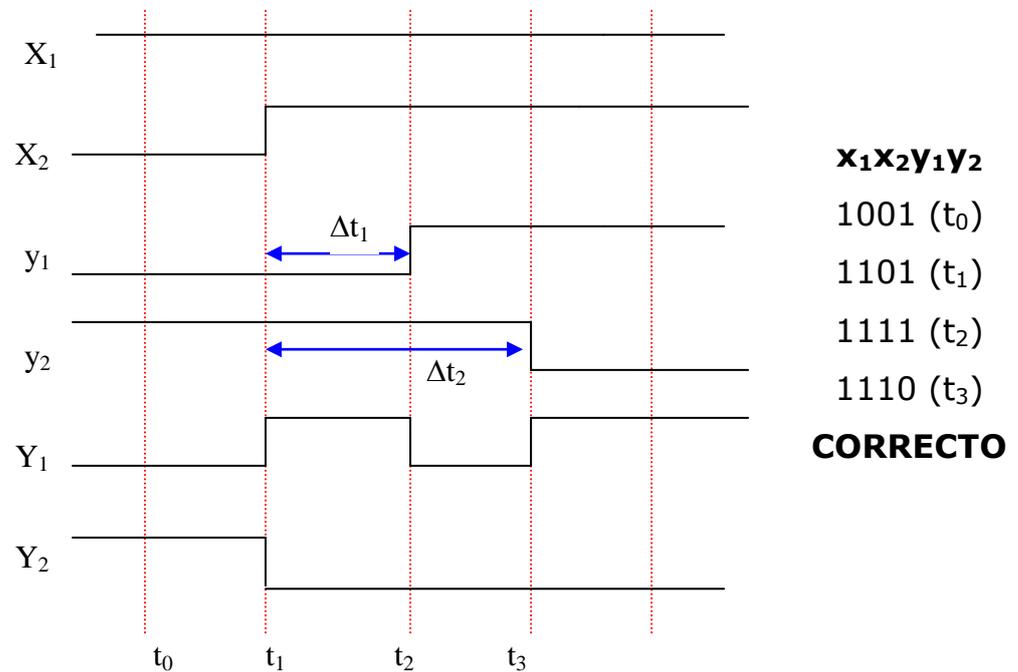
$y_1y_2$	$x_1x_2$			
	00	01	11	10
00	00	01	00	01
01	00	01	10	01
10	00	10	10	11
11	00	10	00	11



b.1)  $\Delta t_1 > \Delta t_2$  (Rojo)



b.2)  $\Delta t_1 < \Delta t_2, 2\Delta t_1 > \Delta t_2$



### 3.2. Eliminación de carreras críticas

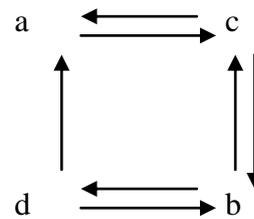
Una vez introducidos los conceptos básicos y comprendidos los peligros debidos a las competencias temporales, se describe la manera de evitar dichos peligros. Para ello, *se deben asignar los códigos de los estados secundarios de manera que solo deba cambiar una variable secundaria para cualquier transición que pueda darse en la tabla de flujo del sistema.*

#### 3.2.1. Diagrama de transición

Como herramienta de diagnostico resulta muy útil una representación gráfica de las transiciones del sistema (*diagrama de transición*). Sin embargo, como el objetivo es la eliminación de las carreras críticas, conviene representar tan sólo las transiciones que puedan dar lugar a este tipo de carreras (*diagrama de transición crítica*). Sabemos que existirá una asignación de estados secundarios sin carreras críticas si los códigos asignados a los nodos conectados en el diagrama de transición crítica sólo difieren en un *bit* (asignaciones adyacentes).

Veamos un sencillo ejemplo en el que es posible asignar códigos adyacentes (diferentes solo en un *bit*) a todos los nodos conectados en el diagrama de transición crítica. Sea la tabla de transición de la Figura 215. En ella, se ha representado el diagrama de transición. Si se realiza la asignación Tabla 57 puede comprobarse que la transición de un estado estable al siguiente conlleva el cambio de un único bit.

	<b>00</b>	<b>01</b>	<b>11</b>	<b>10</b>
<b>a</b>	(a)	c	(a)	c
<b>b</b>	(b)	c	d	(b)
<b>c</b>	b	(c)	a	(c)
<b>d</b>	a	(d)	(d)	b



**Figura 215**

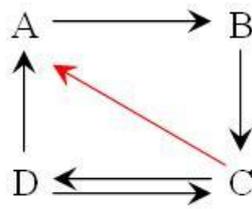
Fila	$y_1y_2$
<i>a</i>	00
<i>c</i>	01
<i>b</i>	11
<i>d</i>	01

**Tabla 57**

Supongamos la tabla de transición de la Figura 216. El diagrama de transición correspondiente sería el representado en la Figura 217.

		$X_1X_2$			
	$y_1y_2$	00	01	10	11
A		(A)	(B)	(A)	(B)
B		A	(B)	C	(B)
C		A	(C)	(C)	D
D		A	C	A	(D)

**Figura 216**



**Figura 217**

Si se realiza la siguiente asignación de estados, se puede concluir que la transición de C a A (marcado en rojo en la Figura 217) da lugar a una carrera crítica, ya que supone el cambio de las dos variables de estado.

Lamentablemente, es habitual que no exista una asignación que asegure el cambio de un único bit en cada transición sin recurrir a métodos de asignación que, en muchas ocasiones, incrementan el número de líneas de realimentación del sistema. Veamos en el siguiente apartado el método para asegurar el cambio de un único bit en cada transición.

### 3.2.2. Método: asignación de renglón compartido

A continuación, se describe el método para realizar asignaciones de estados sin carreras críticas, basado en la creación de ciclos entre estados estables. Se trata del método más económico, aunque no el único, ni el más sencillo (filas redundantes). Al aplicarlo, se crean ciclos entre estados estables, añadiendo convenientemente estados adicionales en el diagrama de transiciones críticas, para de este modo, permitir la asignación adyacente de estados. Como ya hemos adelantado, a menudo la adición de dichos estados obliga a incrementar el número de realimentaciones del sistema.

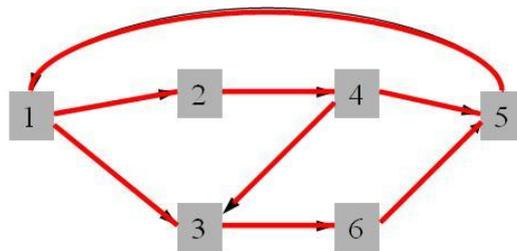
Se pueden utilizar los llamados *mapas de adyacencia* para elegir los códigos que satisfagan los requisitos impuestos por el diagrama de transiciones críticas retocado que incluye los estados adicionales. Dichos mapas tienen un formato similar a los mapas K, representando cada celda un único código de estados secundario. Lógicamente, las celdas adyacentes representan códigos adyacentes, de manera que debemos asignar celdas adyacentes a los estados que realizan transiciones entre sí.

Como ejemplo de aplicación de este método de eliminación de carreras críticas se utiliza el sistema de control de máquina expendedora utilizado para ilustrar el método general de síntesis visto en el apartado anterior. En dicho diseño, con la asignación aleatoria realizada en el tercer paso se detectan fácilmente carreras críticas, por ejemplo (véase Tabla 55), en la transición realizada cuando el sistema se encuentra en el estado total  $DNy_3y_2y_1=01010$  y la entrada cambia de  $DN=01$  a  $DN=00$ . Por ello, para prevenir

estos efectos, volvemos al tercer paso del procedimiento de diseño para aplicar el método de eliminación de carreras descrito.

Paso 3b: Realizar una asignación de estados secundaria

En primer lugar, a partir de la tabla de flujo reducida de la Tabla 53, se implementa el diagrama de transición crítica presentado en la Figura 218.

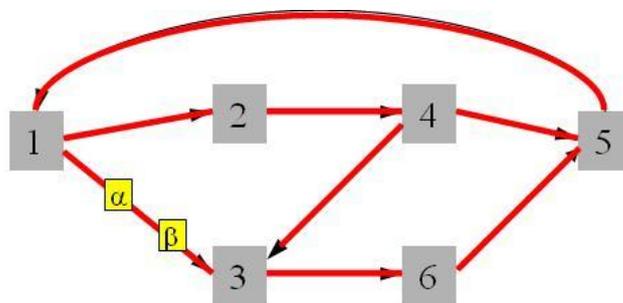


**Figura 218**

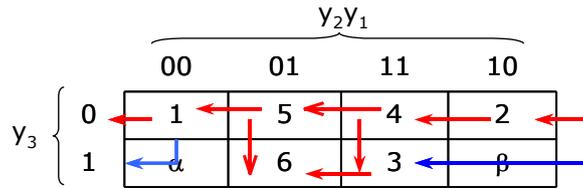
Si se realiza la asignación siguiente:

Fila	$Y_3Y_2Y_1$
1	000
2	010
3	111
4	011
5	001
6	101

Se observa que la transición del estado 1 al 3 supone 3 cambios de variables simultaneos. Para provocar que en cada transición de estado se produzca únicamente un cambio, es necesario añadir dos estados adicionales ( $\alpha$  y  $\beta$ ) para permitir la transición entre los estados estables 1 y 3, a través de un ciclo que posibilite el cambio del valor de una sola variable secundaria cada vez.



Utilizamos el mapa de adyacencia de la Figura 219 para realizar una asignación adyacente a los estados implicados.



**Figura 219**

De todo ello, se obtiene la asignación de estados libres de competencias que aparece en la Figura 220.

Fila	$Y_3Y_2Y_1$
1	000
2	010
3	111
4	011
5	001
6	101
$\alpha$	100
$\beta$	110

**Figura 220**

Paso 4b: Construir las tablas de excitación y salida

A partir de la nueva asignación de estados, se construyen de nuevo las tablas de excitación y de salida para sistema de control de la máquina de café quedando la Tabla 58.

		$D N$			
$Y_3Y_2Y_1$		00	01	10	11
1	000	000/0	010/0	100/0	-
2	010	011/0	010/0	-	-
3	111	101/0	111/0	111/0	-
4	011	011/0	111/0	001/-	-
5	001	000/-	001/1	001/1	-
6	101	101/0	001/-	001/-	-
$\alpha$	100	-	-	110/0	-
$\beta$	110	-	-	111/0	-

**Tabla 58**

Paso 5b: Determinar las ecuaciones lógicas para cada variable de estado de excitación y de salida

Repetimos el quinto paso a partir de la información de la Tabla 58.

**Y<sub>3</sub>**

		DN				DN				
		00	01	11	10	00	01	11	10	
y <sub>2</sub> y <sub>1</sub>	00	0	0	x	1	00	x	x	x	1
	01	0	0	x	0	01	1	0	x	0
	11	0	1	x	0	11	1	1	x	1
	10	0	0	x	x	10	x	x	x	1
		y <sub>3</sub> =0				y <sub>3</sub> =1				

$$Y_3 = D\bar{y}_1 + y_2y_3 + Ny_1y_2 + \bar{D}y_3\bar{N}$$

**Y<sub>2</sub>**

		DN				DN				
		00	01	11	10	00	01	11	10	
y <sub>2</sub> y <sub>1</sub>	00	0	1	x	0	00	x	x	x	1
	01	0	0	x	0	01	0	0	x	0
	11	1	1	x	0	11	0	1	x	1
	10	1	1	x	x	10	x	x	x	1
		y <sub>3</sub> =0				y <sub>3</sub> =1				

$$Y_2 = N\bar{y}_1 + Ny_2 + \bar{y}_1y_3 + Dy_2y_3 + \bar{D}y_2\bar{y}_3$$

**Y<sub>1</sub>**

		DN				DN				
		00	01	11	10	00	01	11	10	
y <sub>2</sub> y <sub>1</sub>	00	0	0	x	0	00	x	x	x	0
	01	0	1	x	1	01	1	1	x	1
	11	1	1	x	1	11	1	1	x	1
	10	1	0	x	x	10	x	x	x	1
		y <sub>3</sub> =0				y <sub>3</sub> =1				

$$Y_1 = \bar{N}y_2 + Ny_1 + Dy_1 + y_1y_3 + y_1y_2$$

**z**

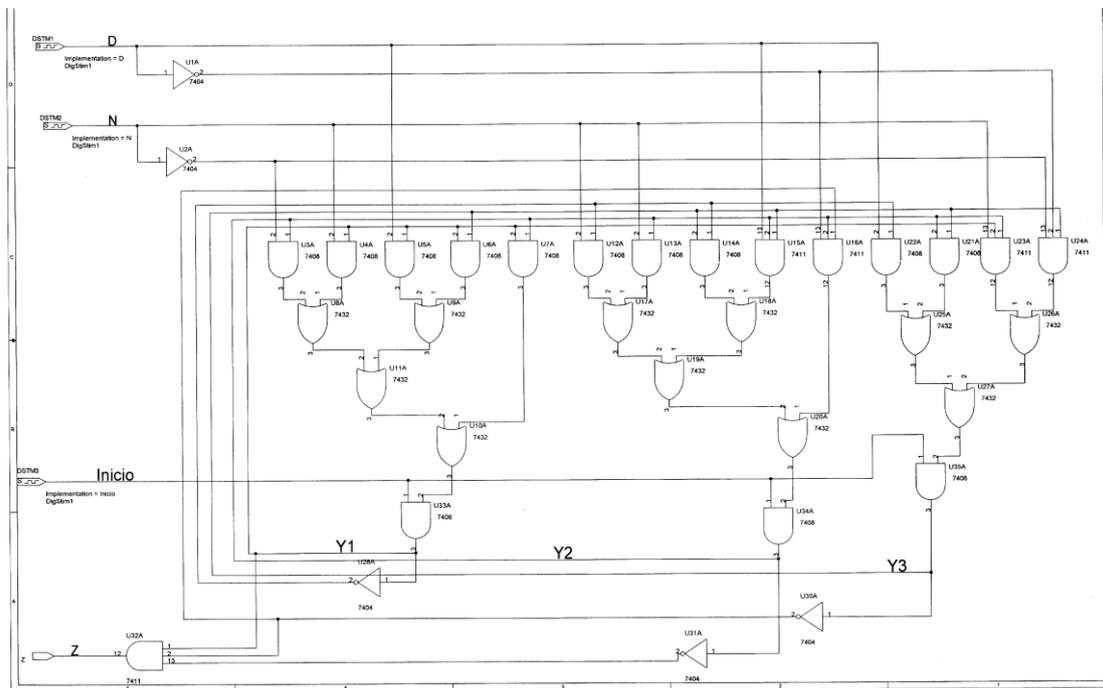
		DN				DN				
		00	01	11	10	00	01	11	10	
y <sub>2</sub> y <sub>1</sub>	00	0	0	x	0	00	x	x	x	0
	01	x	1	x	1	01	0	x	x	x
	11	0	0	x	x	11	0	0	x	0
	10	0	0	x	x	10	x	x	x	0
		y <sub>3</sub> =0				y <sub>3</sub> =1				

$$z = \bar{y}_1\bar{y}_2\bar{y}_3$$

**Nota:** Se resalta la existencia de un riesgo crítico en el diseño de la lógica combinacional que genera la variable de excitación  $Y_1$ . Dicho riesgo aparece sombreado y se elimina añadiendo el grupo marcado en rojo que da lugar al *mintermino*  $y_1y_2$  en la expresión lógica de  $Y_1$

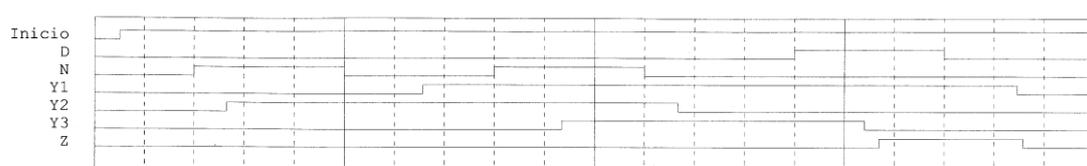
Paso 6b Implementar las ecuaciones lógicas anteriores con los dispositivos lógicos adecuados

Utilizando las ecuaciones en el esquema general de asíncronos, se obtiene la Figura 221 que representa la implementación del sistema de control diseñado.



**Figura 221**

Realizamos la comprobación del correcto funcionamiento del sistema, simulando de nuevo mayores retardos en las líneas de realimentación 1 y 3 (introduciendo otra vez dos inversores en cascada en dichas líneas). El resultado puede observarse en el cronograma de la Figura 222.



**Figura 222**

Queda patente que, con la aplicación de los métodos descritos en esta sección, se logra evitar los problemas de funcionamiento, descritos para el caso de la asignación aleatoria

de estados de la sección anterior, como puede comprobarse mediante la comparación de las graficas de las Figura 222 y Figura 214.