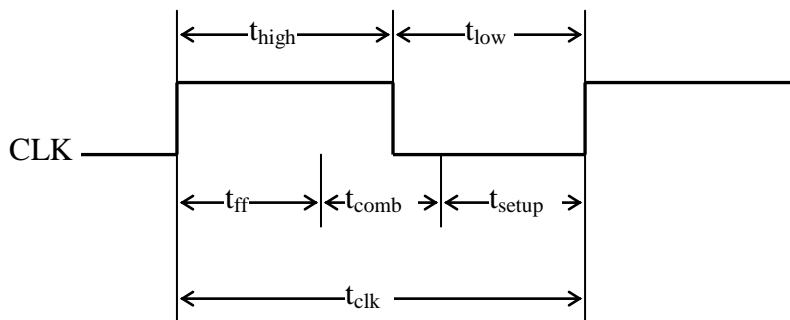


10. Consideraciones temporales para el diseño de circuitos secuenciales

- Tiempo de establecimiento y tiempo de mantenimiento.
- Tiempos de retardo de los FFs (t_{ff}) y del circuito combinacional (t_{comb}).
- Periodo de la señal de reloj debe cumplir:
 - $t_{clk} \geq t_{high} + t_{low}$
 - $t_{clk} \geq t_{ff(max)} + t_{comb(max)} + t_{setup}$



- Evitar que el *clock skew* (t_d) afecte al funcionamiento del circuito.

$$T_d \leq t_{ff(min)} - t_{hold}$$

