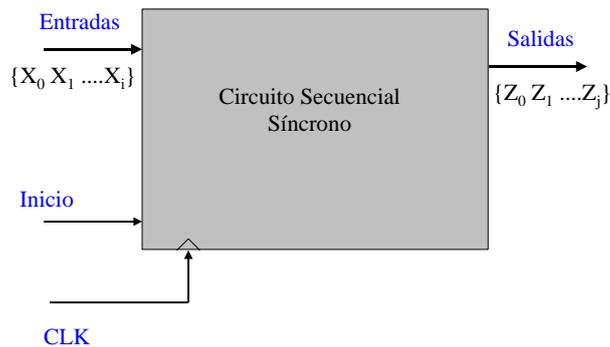


## Tema 7. Diseño y análisis de circuitos secuenciales síncronos

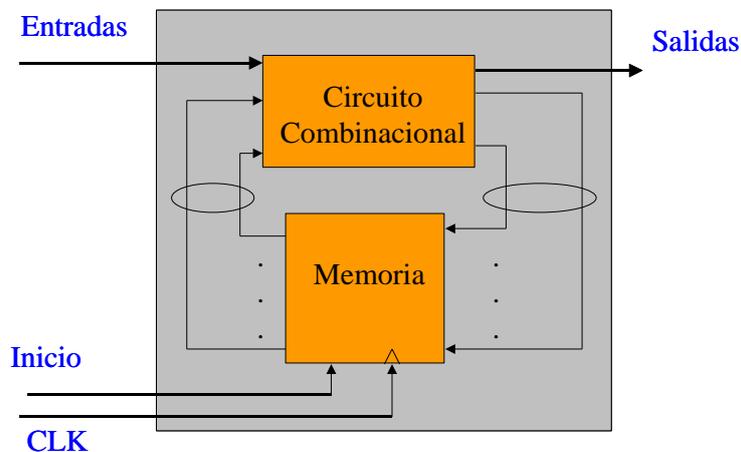
### 1. Estructura general de los sistemas secuenciales

A la hora de comenzar el diseño de cualquier circuito digital éste debe ser tratado como una “caja negra” y deberán ser definidas sus entradas y salidas. En el caso de los circuitos secuenciales síncronos se deben añadir dos entradas adicionales como son la de *reloj* (CLK) y la de *Inicio* del sistema. Esta última permite reiniciar el sistema en cuanto es activada.



**Figura 182.**

Una vez especificadas todas las variables de entrada y salida, se puede concretar más en detalle el diseño, representándolas en el Diagrama de Bloques correspondiente a la Estructura General de los circuitos secuenciales síncronos basada ésta en dos bloques. Uno compuesto por un circuito combinacional y otro por un circuito de memoria unidos ambos mediante una realimentación (Figura 183). El bloque de memoria está compuesto por *flip-flops*, como podría ser *flip-flops* de tipo JK.



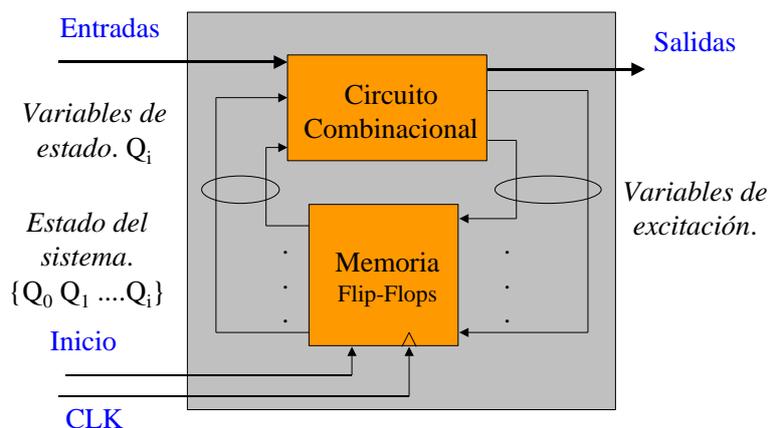
**Figura 183.**

Los *flip-flops* son circuitos biestables capaces de guardar en memoria el valor 0 ó el 1. Este valor se obtiene en la salida del circuito y se denomina *estado* del biestable denotándolo genéricamente mediante la letra Q. La letra Q\* servirá para denotar el siguiente estado del circuito. Así pues, un biestable dispondrá de dos estados uno que proporcione una salida con valor 0 y otro con valor 1. Las *entradas de excitación* (J-K) serán las encargadas de llevar al *flip-flop* a un estado o a otro.

Como se vio en el capítulo anterior, el funcionamiento puede representarse es a través de la *Tabla de Excitación* en la que se representan por un lado, todas las combinaciones de los valores que puedan tomar las variables de excitación (J-K) para cada estado (Q) y por otro lado, el estado al que evolucionará el *flip-flop* (Q\*) ante cada una de estas combinaciones.

las líneas de realimentación salientes del bloque combinacional y entrantes en el bloque de memoria, serán las entradas de excitación de los *flip-flops* que compongan dicho bloque de memoria. Cada una de estas líneas se denomina *Variable de Excitación* del sistema secuencial síncrono (Figura 184).

De la misma forma, las líneas de realimentación salientes del bloque de memoria y entrantes en el bloque combinacional serán las salidas de los *flip-flops*, es decir, el estado del *flip-flop* (Q). Cada una de estas líneas se denomina *Variable de Estado* del circuito o del sistema secuencial síncrono (S.S.S) y cada combinación del conjunto de las Variables de Estado representará un *Estado del Sistema* (Figura 184).



**Figura 184.**