

4. Elementos básicos de memoria. Biestables (Básculas).

Vamos a describir cómo se implementan los bloques de memoria que hemos presentado en el apartado anterior. Estos bloques pueden estar constituidos en base a diversos dispositivos básicos de memoria: biestables o básculas (*latches* o *flip-flops*) semiconductores, líneas de retardo, dispositivos magnéticos, conmutadores, etc.,...

Comenzaremos presentando los dispositivos biestables, dado que son los más utilizados y los que permiten un diseño más sencillo de sistemas secuenciales. Sin embargo, en el tema IV veremos como diseñar circuitos secuenciales mediante líneas de retardo en la realimentación.

Los circuitos biestables son circuitos capaces de guardar en memoria durante el tiempo necesario el valor 0 ó el 1. Este valor se obtiene en la salida del circuito y determina el *estado* del biestable denotándolo genéricamente mediante la letra Q. Dicho de otro modo, los biestables se pueden mantener indefinidamente en uno de sus dos estados estables –de ahí su nombre-, el 0 o el 1.

La letra Q* sirve para denotar el siguiente estado del circuito. Así pues, un biestable dispondrá de dos posibles estados, uno que proporcione una salida con valor 0, y otro con valor 1. Cada biestable dispone de una o varias *entradas de excitación* que serán las encargadas de llevar al *biestable* a un estado o a otro. Normalmente, los biestables reciben su nombre de sus entradas de excitación y, lógicamente, a la hora de diseñar debemos conocer perfectamente cómo configurar las entradas de excitación de cada clase de biestable para llevarle al estado final deseado.

Existen dos clases de biestables, los *latches* y los *flip-flops*. Se diferencian en que los segundos tienen una entrada de control temporal (reloj) que marca el instante en el cual el dispositivo actualiza su estado en función del valor de sus entradas de excitación en ese momento. De este modo se puede hacer que varios dispositivos de este tipo actualicen sus estados a la vez, es decir, trabajen de forma *sincronizada*. Los *latches*, también llamados *cerrojos*, carecen de dicha entrada de reloj y actualizan su estado inmediatamente después de detectar un cambio en sus entradas de excitación.

A continuación, vamos a presentar los biestables más comunes y que nos servirán de base para trabajar con circuitos lógicos secuenciales.

4.1. Biestable Asíncrono: LATCHES.

Veremos a continuación cómo se puede usar la realimentación para crear latches simples a partir de puertas lógicas básicas.

4.1.1. Latch Set.

Partimos de la puerta OR-2 de la Figura 147 (a), donde realimentamos su salida (inicialmente a cero) con una de sus entradas, quedando su salida estable a 0 –ver Figura 147 (b)-. Si ahora la entrada libre S cambia su estado –a 1-, aunque sea por un breve espacio de tiempo –Figura 147 (c)-, la salida Q cambia a 1 y permanece así de manera permanente –Figura 147 (d)-, comportándose ya como un *latch set*.

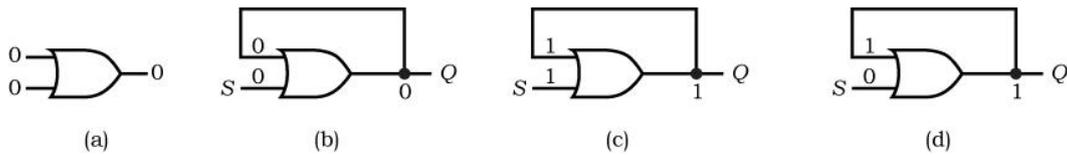


Figura 147

4.1.2. Latch Reset.

En el circuito de la Figura 147, reemplazamos la puerta OR por unas NOR y NOT en serie, creando un circuito *set* equivalente, representado en la figura Figura 148 (a). Se observa en Figura 148 (b) que como inicialmente las dos entradas de la NOR eran 0, la salida de la NOR –que utilizamos como estado Q del *latch*- está a 1 de forma estable, gracias a la realimentación de la NOT. Sin embargo, al colocar un 1 en la entrada no conectada R –Figura 148 (c)-, el estado Q pasa a 0, quedando estable gracias a la realimentación a 1. Ese estado $Q=0$ (*Reset*) queda así a pesar de futuros cambios en R y le da nombre al *latch*. Finalmente, se puede dibujar este *latch Reset* de otra forma más compacta, como aparece en Figura 148 (e).

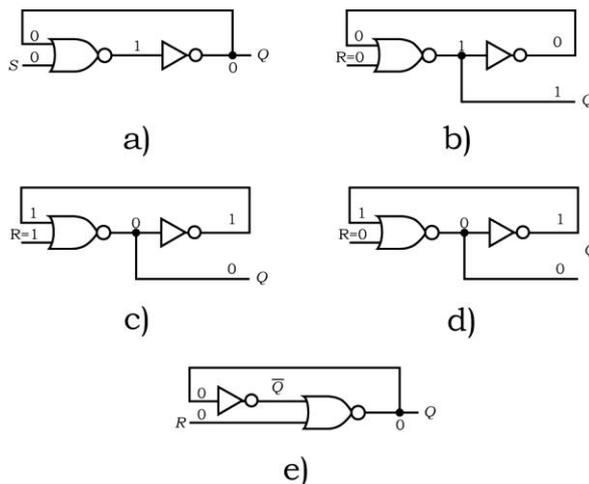


Figura 148

4.1.3. Latch SetReset NOR.

Evidentemente, los circuitos que se estabilizan definitivamente en un estado final no son muy útiles, salvo en aplicaciones poco comunes. Es por ello que vamos a combinar los dos diseños anteriores para poder activar o desactivar el latch resultante a voluntad. Reemplazamos la NOT de la Figura 148.(a) por una NOR-2 que, si tiene las dos entradas conectadas juntas funciona de forma equivalente a la NOT –Figura 149 (a)-. Ahora bien, si dejamos una de sus entradas conectadas a la salida de la puerta anterior y la otra como entrada –Figura 149(b)-, tendremos un latch cuyo estado varia en función de la activación de sus dos entradas R y S . Así se crea el *latch RS*, que puede dibujarse también como en la Figura 149 (c) y representarse con el símbolo lógico de Figura 149 (d).

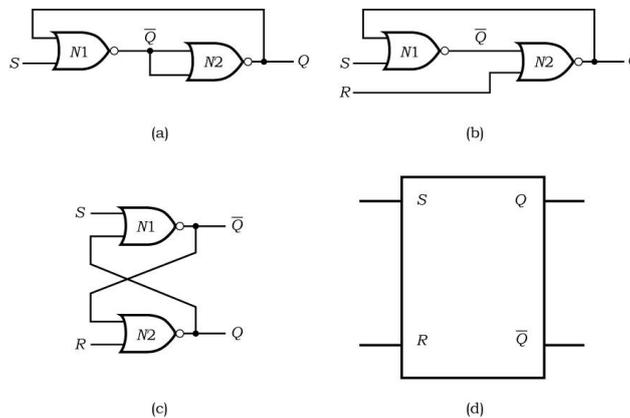


Figura 149

4.1.4. Latch SetReset NAND.

Ahora queremos reproducir el mismo funcionamiento descrito para el *latch SR* en el apartado anterior, pero utilizando puertas NAND. Para eso se propone el circuito de la Figura 150 (a), cuyo funcionamiento estudiamos a continuación. Dado que una NAND-2 con una entrada a 1 funciona como una NOT por la otra entrada y como las tenemos conectadas en acoplamiento cruzado –ver Figura 150 (b)-, se observa que con $R=S=0$, lo único garantizado es que se cumple que las dos salidas del *latch* son complementarias, de modo que esa entrada no es útil en la practica. Por otro lado, cuando una de las dos entradas en activa (a 1), se garantiza que el estado estable final se corresponde con su acción asociada. Esto quiere decir que si $S=1$, el estado del *latch* es 1 (se *establece* el latch) y si $R=1$, el estado es 0 (se *resetea* el latch).

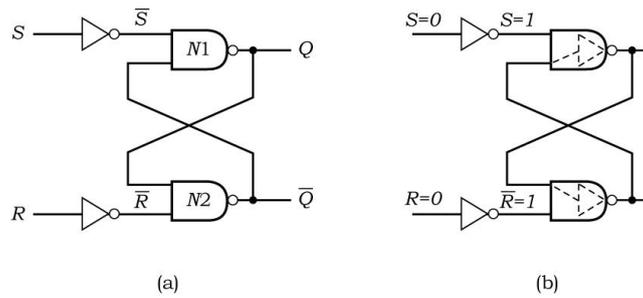


Figura 150

Si se eliminan las puertas NOT del circuito –ver Figura 151- las entradas pasan a ser \bar{S} y \bar{R} (activas a baja).

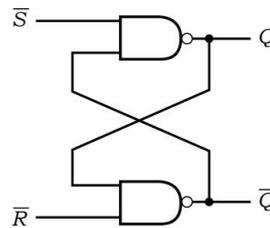


Figura 151

Se usan los símbolos lógicos de la Figura 152 para representar el dispositivo.

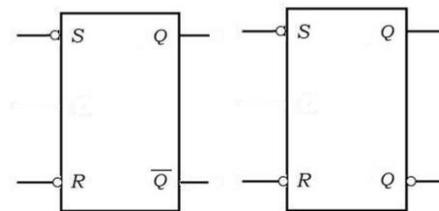


Figura 152

4.1.5. Diagramas de tiempos y retardos del Latch SR.

Se puede describir el funcionamiento de cualquier latch mediante un diagrama de tiempos. En concreto, el latch SR se describe en la Figura 153, donde suponemos que el estado es inicialmente 0 y puede observarse que se activa cuando llega un pulso a la entrada S, manteniéndose así hasta que llega un pulso a R, momento en el que el estado pasa a 0. Finalmente, se observa que cuando ambas entradas se ponen a 1, el estado es 0, pero que si después ambas entradas pasan simultáneamente a 0 lógico, entramos en una *condición de competencia*. En esos casos no podemos anticipar cuál será el estado final del dispositivo. Ello se debe a que es prácticamente imposible que dos eventos –el paso de las dos entradas a 0 lógico- ocurran simultáneamente. Si R pasa primero a 0, el estado final será 1, pero si es S la que vuelve antes el estado estable será 0. En el caso hipotético ideal de que ambas llegasen a 0 en el mismo instante y de que ambas puertas

NOR fuesen idénticas, ambas competirán para ganar el control de Q y el estado oscilará. En la practica, siempre gana una de las puertas (no pueden ser exactamente iguales, ni pasar a 0 exactamente en el mismo instante), pero no podemos saber de antemano cuál será. Es por ello que la entrada $S=R=1$ no se permite en el uso normal del *latch*.

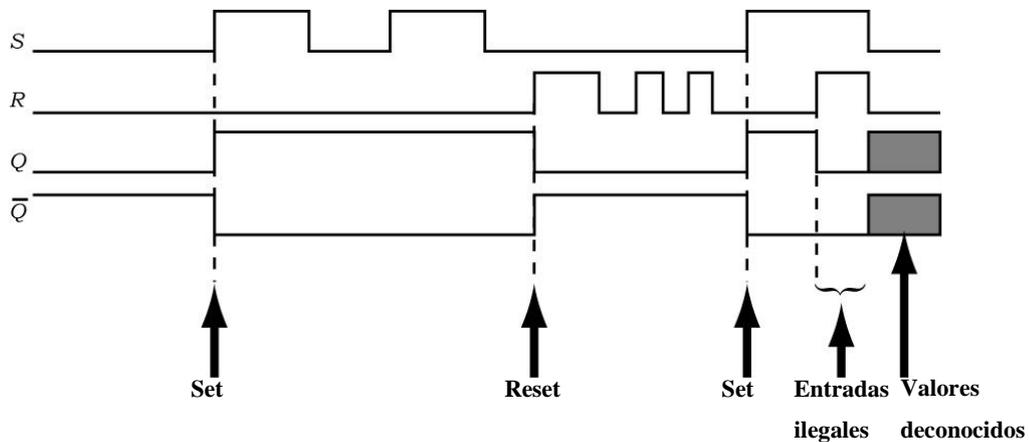


Figura 153

En la Figura 153 se suponen puertas ideales con un retardo de propagación nulo. Evidentemente, eso no es así en la práctica y existen retardos que pueden observarse en la Figura 154.

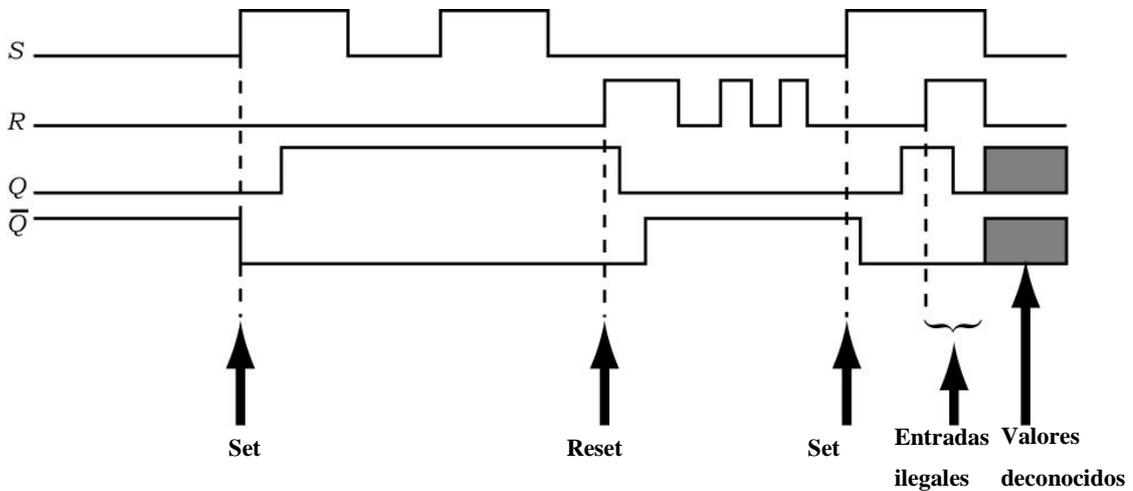


Figura 154

Ahora vamos a estudiar con más detalle los retardos en el funcionamiento de los latches. Evidentemente, debemos considerar los retardos de propagación de cada una de las puertas lógicas, implicadas en cada transición de estado, acumulando las necesarias para obtener el estado final del dispositivo. En la Figura 155 pueden verse los retardos de propagación del circuito de la Figura 150 ante diferentes transiciones. Después de que S pase de 0 a 1, observamos que \bar{Q} pasa a 0 después del retardo t_{PHL} de la puerta NOR N1. Después hay que esperar el t_{PLH} de N2 para que la línea de realimentación haga que

Q pase finalmente a 1. Por lo tanto, en este tipo de latches la salida \bar{Q} cambia antes que la Q al establecer el dispositivo.

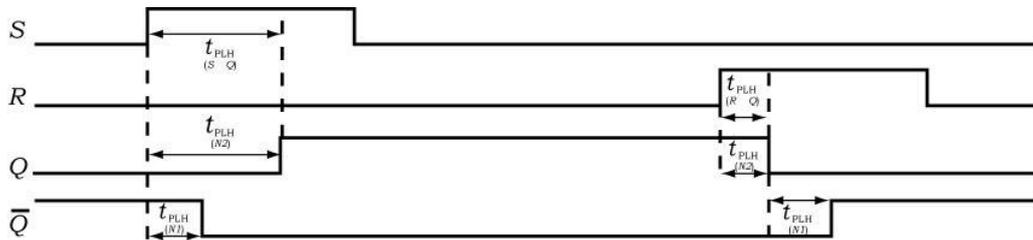


Figura 155

Algo similar ocurre con el reseteo del latch. Cuando se activa R , hay que esperar la t_{PHL} de $N2$ para que Q pase a 0, pero luego la realimentación hace que \bar{Q} se haga 1, después del t_{PLH} de $N1$.

4.1.6. Tabla de excitación y ecuación característica del SR.

La tabla de excitación resume el funcionamiento lógico de un dispositivo con memoria. Se trata sencillamente de la tabla de estados que marca cuál será su transición futura – siguiente estado-, teniendo en cuenta el estado presente y el valor de las entradas de excitación en ese instante. Por ejemplo, la Figura 156, describe el comportamiento del latch SR que hemos descrito hasta ahora.

Entradas de excitación		Estado actual Q	Estado siguiente Q*	
S	R			
0	0	0	0	Ningún cambio
0	0	1	1	
0	1	0	0	Reset
0	1	1	0	
1	0	0	1	Set
1	0	1	1	
1	1	0	X	No permitido
1	1	1	X	

Figura 156

Las columnas S y R marcan las entradas que tiene el latch cuando se hace la transición del *estado actual* Q al *estado siguiente* Q^* . Asimismo, pasando el contenido de la tabla de excitación a un mapa K, podemos obtener la expresión lógica para Q^* , denominada ecuación característica del *latch* SR:

$$Q^* = S + \bar{R}Q \quad (1)$$

4.1.7. Latch SR con compuertas.

En muchas ocasiones, conviene utilizar una señal de inhibición para controlar cuándo insertamos nuevas entradas S y R en el *latch*. De hecho, es conveniente hacer que permanezcan inhibidas mientras se están cambiando y una vez estabilizadas en su nuevo valor, se procede a habilitar su paso al dispositivo. Podemos implementar el llamado *latch SR con compuertas* mediante dos puertas AND-2 que no dejan pasar S y R hasta que $C=1$ –verFigura 157-.

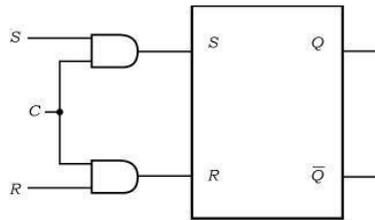


Figura 157

Alternativamente, podemos usar puertas NAND-2 con un latch SR con entradas activas a baja –ver Figura 158- .

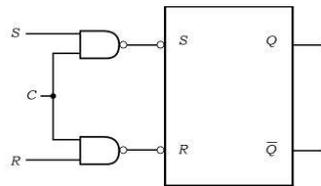


Figura 158

4.1.8. Latch con retardo: Latch D.

Los sistemas digitales se usan, entre otras importantes aplicaciones, para el almacenamiento temporal –más o menos largo- de la información. En esos casos, nos interesa almacenar de manera estable como estado del dispositivo la información que en cierto instante hemos puesto en su entrada para recogerla posteriormente. Para ello podemos utilizar los llamados *latches Delay* o *latches D*, representados en la Figura 159 (a).

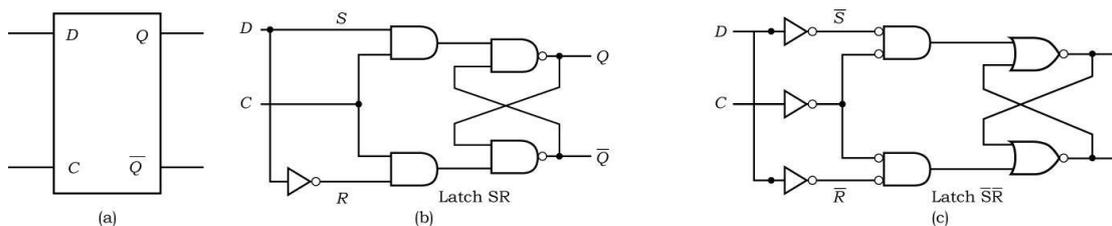


Figura 159

Se puede hacer un latch D fácilmente a partir de un SR con compuertas, asignando $S=D$ y $R=\bar{D}$, como puede verse en Figura 159 (b). De esa manera, cuando el latch está activo ($C=1$), solo puede funcionar en las zonas *Set* ($S=1$ y $R=0$) y *Reset* ($S=0$ y $R=1$) de la tabla de excitación de la Figura 156. Asimismo, podemos implementar *latches D* mediante puertas NOR como puede verse en la figura Figura 159 (c).

Por otro lado, si hacemos $S=D$ y $R=\bar{D}$ en la ecuación característica del SR con compuertas, obtenemos la ecuación del latch D:

$$Q^* = DC + \bar{C}Q \quad (2)$$

donde, como puede verse en la expresión (2), el estado siguiente es igual a la entrada $Q^*=D$ cuando el latch está habilitado ($C=1$) y permanece inalterado $Q^*=Q$ –almacena la información- cuando esta inhabilitado ($C=0$).

El diagrama de tiempos de la Figura 160 describe el funcionamiento del *latch D*, tal y como la hemos descrito arriba.

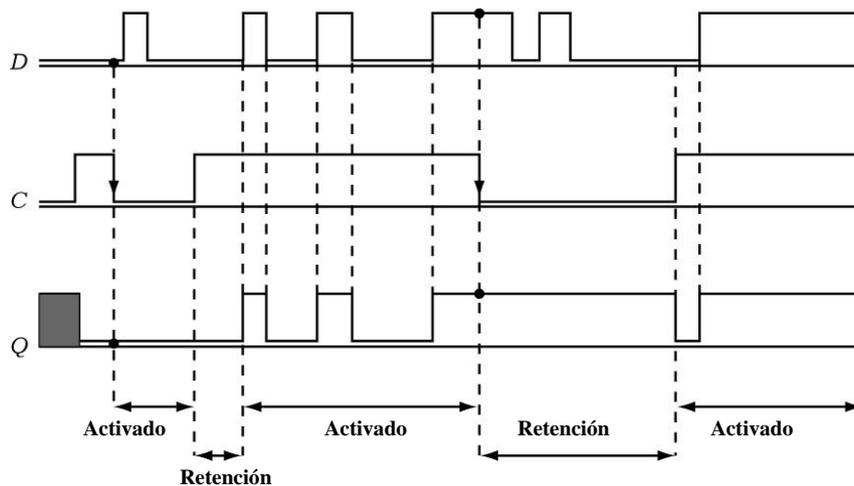


Figura 160

4.2. Biestable Síncrono: FLIP-FLOP.

Se puede observar que los latches, cuando están habilitados, funcionan como un circuito combinacional, ya que los cambios en las entradas se trasladan inmediatamente –bueno, después de la propagación correspondiente- a cambios en el estado de salida. Esto hace que dichos circuitos no sean adecuados para su funcionamiento síncrono, esto es, para operar sincronizando las transiciones al ritmo de cierta señal temporal que “organiza” los cambios para prevenir comportamientos inestables (que pueden ocurrir en todos los circuitos combinacionales realimentados) o errores en las lecturas de las señales debidas

a los tiempos de propagación. Como ya vimos en el esquema de la Figura 146, esta señal temporal se denomina *Reloj* y marca en buena medida el rendimiento que puede alcanzar un sistema y da idea de la calidad del circuito.

4.2.1. Flip-flops Maestro-esclavo SR.

Uno de los métodos para evitar los problemas anteriormente citados consiste en conectar dos latches en cascada con una configuración maestro-esclavo, como la que puede observarse en la Figura 161.

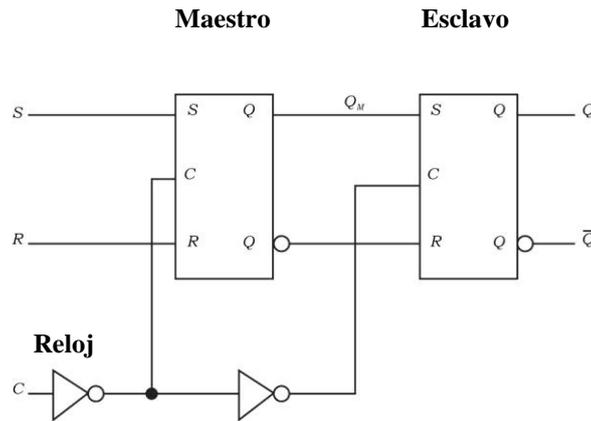
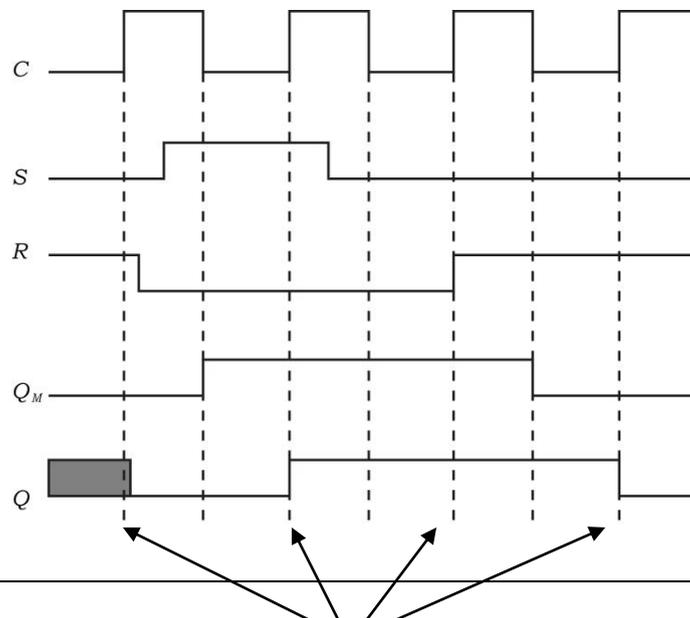


Figura 161

Como puede observarse los dos latches son habilitados por versiones complementarias de la señal de reloj, de modo que cuando el reloj está a baja, el maestro esta habilitado (compuerta) y el esclavo deshabilitado (retención). Cuando el reloj pasa a 1, ocurre lo contrario. De este modo, los cambios en las entradas son captadas por el maestro en un pulso de reloj (cuando pasa de 0 a 1), pero no pasan a la salida del esclavo hasta el siguiente pulso (de 1 a 0), como puede observarse en el diagrama temporal de la Figura 182.



La salida del flip-flop puede cambiar

Figura 162

Por lo anterior se dice que estos *flip-flops* maestro-esclavo son disparados por pulsos, ya que necesitan de un pulso completo de reloj (las dos transiciones). El símbolo lógico de la Figura 163 (a) indica que la actualización de los estados de salida se realiza con el flanco ascendente (de 0 a 1) de los pulsos del reloj. El símbolo de la Figura 163 (b), sin embargo, indica que la actualización de los estados de salida se realiza con el flanco descendente (de 1 a 0) de los pulsos del reloj



Figura 163

Como podemos observar en la Figura 164, la tabla de transiciones del *flip-flop* SR es idéntica a la del *latch* SR, excepto en que el *flip-flop* debe recibir un pulso completo de reloj en C para que se produzcan las transiciones.

Entradas de excitación		Estado actual		Estado siguiente	
S	R	Q	C	Q*	
0	0	0		0	Ningún cambio
0	0	1		1	
0	1	0		0	Reset
0	1	1		0	
1	0	0		1	Set
1	0	1		1	
1	1	0		X	No permitido
1	1	1		X	

Figura 164

4.2.2. Flip-flops Maestro-esclavo D.

Siguiendo con esta filosofía de diseño, construimos un *flip-flop* maestro-esclavo *D*, como se puede ver en la Figura 165. De nuevo, el maestro “captura” el valor de la entrada *D* en el flanco ascendente del pulso de reloj y esta pasa al esclavo en el siguiente pulso descendente, momento en el que se actualiza la salida *Q*. El símbolo lógico aparece en la Figura 166 y el comportamiento temporal descrito puede verse en la Figura 167, donde se han incluido los tiempos de propagación de las puertas.

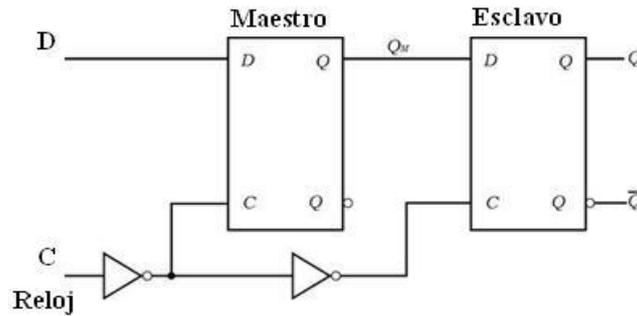


Figura 165

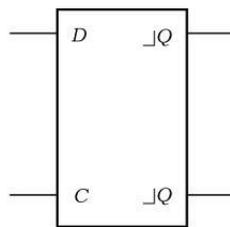


Figura 166

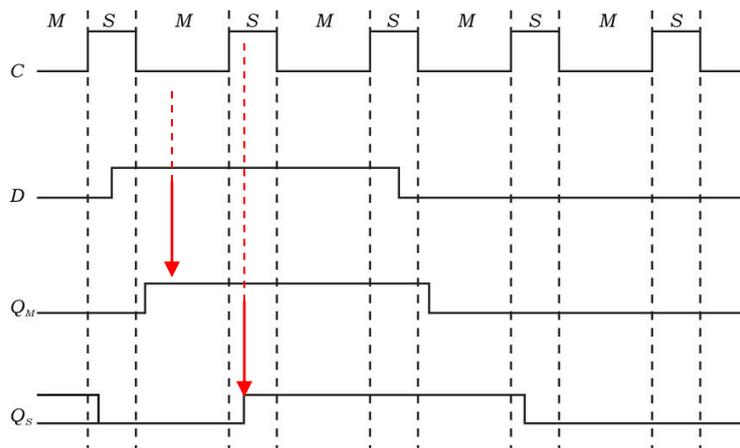


Figura 167

Finalmente, puede consultarse la tabla de transiciones en la Figura 168, donde puede verse que el comportamiento es el del latch D, solo que ahora sincronizado con los pulsos que entran por C.

D	Q	C	Q*
0	0		0
0	1		0 Almacenar 0
1	0		1
1	1		1 Almacenar 1

Figura 168

4.2.3. Flip-flops Maestro-esclavo JK.

Presentamos un nuevo dispositivo que puede verse como una extensión del *flip-flop SR*, ya que el JK tiene el mismo comportamiento que este haciendo $J=S$ y $K=R$, salvo ante una entrada $S=R=1$. En el caso del SR dicha entrada no se permite, sin embargo en el JK dicha entrada ($J=K=1$) resulta muy útil, dado que el dispositivo balancea su estado, esto es, que si $Q=0$, pasa a 1 ($Q^*=1$) y si $Q=1$, pasa a 0 ($Q^*=0$). Los cuatro modos de funcionamiento mencionados se reflejan en la tabla de excitación de la Figura 169.

Entradas de excitación		Estado actual	C	Estado siguiente Q*
J	K	Q		
0	0	0		0
0	0	1		1 Retención
0	1	0		0
0	1	1		0 Reset
1	0	0		1
1	0	1		1 Set
1	1	0		1
1	1	1		0 Alternancia

Figura 169

Asimismo, en la figura Figura 170 (a) se presenta el diagrama lógico de este dispositivo implementado a partir de un FF-D y en la Figura 170 (b) aparece el símbolo lógico del FF-JK.

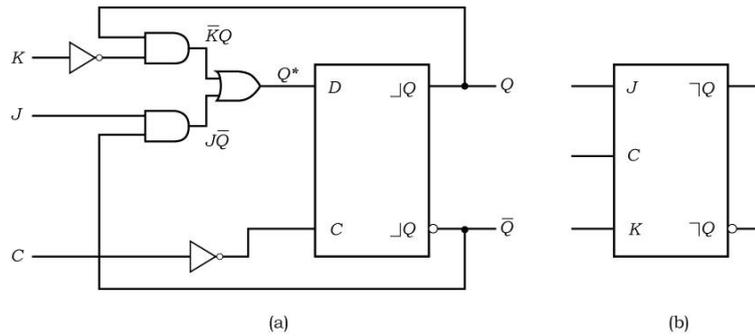


Figura 170

4.2.4. Flip-flops disparados por transición.

Hasta este momento, todos los FF presentados, del tipo maestro-esclavo, necesitan de una transición ascendente seguida de una descendente (un pulso) del reloj para funcionar adecuadamente. Otra forma de diseñar estos dispositivos hace que las transiciones de estado tengan lugar durante las transiciones ascendentes o descendentes de la señal de reloj. Se dice en ese caso que el dispositivo se dispara por transición: *positiva* si responde a un cambio 0→1 del reloj o *negativa* si es sensible a un cambio 1→0. Este tipo de dispositivos permite reducir de manera drástica el periodo de tiempo que las señales de excitación deben permanecer estables en las entradas del FF.

Vemos un ejemplo de la tabla de excitación de un dispositivo *disparado por transición* (también se puede decir *disparado por flanco*) en la Figura 171 adjunta, obtenida de la *datasheet* del SN7474 de *Texas Instruments*.

PRE	CLR	D	CLK	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	H	↑	H	L
H	H	L	↑	L	H
H	H	X	L	Q ₀	\bar{Q}_0

Figura 171

Observamos en ella que el 7474 funciona sincronizadamente con los flancos positivos (↑) de la señal de *clock* que recibe.

4.2.5. Flip-flop T disparado por transición.

Un dispositivo muy utilizado en circuitos secuencias, usado para contar pulsos en una línea es el *flip-flop T* (*trigger* o *toggle*, disparo o alternancia). Este dispositivo solo tiene una señal de excitación y su función consiste en cambiar (alternar) su estado con cada

transición (flanco) de cierta señal. Esta señal puede ser la propia T de excitación –ver Figura 172 (a)- o una señal adicional de sincronía o reloj (clock) –ver Figura 172 (b).

T	Q	Q*
↓	0	1
↓	1	0

(a)

C	T	Q	Q*
↓	0	0	0
↓	0	1	1
↓	1	0	1
↓	1	1	0

(b)

Figura 172

En este segundo caso, se trata de un FF-T con reloj y, como puede verse, solo funciona (alterna su estado) si la señal de activación esta activa (a 1). Adicionalmente, se observa que los pulsos que necesita el FF son *negativos*, esto es, cambios de la señal de 1→0.

4.2.6. Entradas asíncronas.

Es habitual que los dispositivos lógicos incorporen, además de las entradas de excitación y de sincronía, entradas independientes adicionales que actúan sobre el estado del circuito *inmediatamente después* de activarse, esto es, de forma asíncrona (no esperan a la señal de reloj). Un ejemplo de estas puede observarse en las entradas de PRESET y CLEAR, activas a nivel bajo, que incluye la tabla de excitación del FF-SR de la Figura 173.

PRE	CLR	CLK	S	R	Q*
0	0	X	X	X	-
0	1	X	X	X	1
1	0	X	X	X	0
1	1	0	X	X	Q
1	1	↑	0	0	Q
1	1	↑	0	1	0
1	1	↑	1	0	1
1	1	↑	1	1	-

Figura 173

4.3. Parámetros temporales de Latches con compuertas

En este apartado vamos a definir los valores temporales máximos y mínimos que deben cumplir las señales de entrada para garantizar el buen funcionamiento de un latch con compuertas:

TIEMPO DE SET-UP (ESTABLECIMIENTO) (t_s) es el intervalo mínimo que los niveles lógicos deben permanecer constantes en las entradas antes de que llegue el flanco de la señal de activación.

TIEMPO DE HOLD (MANTENIMIENTO) (t_H) es el intervalo mínimo en que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de la señal de activación.

ANCHURA DEL PULSO DE LA SEÑAL DE ACTIVACION (t_w) es el ancho de pulso mínimo en la entrada activa.

TIEMPOS DE RETARDO DE PROPAGACION (T_{PLH}) es el tiempo de retardo entre un cambio en la entrada y una transición de baja a alta de la salida correspondiente.

Algunos otros tiempos de retardo de propagacion son:

T_{PHL} : tiempo de retardo entre un cambio en la entrada y una transición de alta a baja de la salida correspondiente.

T_{PLH} : tiempo de retardo entre la entrada de activación y la transición de baja a alta de la salida correspondiente.

T_{PHL} : tiempo de retardo entre la entrada de activación y una transición de alta a baja de la salida correspondiente.

4.4. Parámetros temporales de FFs

En este apartado vamos a definir los valores temporales máximos y mínimos que deben cumplir las señales de entrada para garantizar el buen funcionamiento de un *flip-flop*:

TIEMPO DE SET-UP (ESTABLECIMIENTO) (t_s) es el intervalo mínimo que los niveles lógicos deben permanecer constantes en las entradas antes de que llegue el flanco de disparo del impulso de reloj.

TIEMPO DE HOLD (MANTENIMIENTO) (t_H) es el intervalo mínimo en que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de disparo del impulso de reloj.

FRECUENCIA MAXIMA DE RELOJ (f_{MAX}) es la mayor velocidad a la que se puede disparar el ff de manera fiable.

ANCHURA DEL PULSO DE RELOJ EN ALTO ($t_{w(H)}$) es el tiempo de duración del impulso positivo de la señal de reloj.

ANCHURA DEL PULSO DE RELOJ EN BAJO ($t_{w(L)}$) es el tiempo de duración del impulso negativo de la señal de reloj.

ANCHURA DEL PULSO DE PRESET O CLEAR EN BAJO ($t_{w(L)}$) es el tiempo de duración de las entradas asíncronas en el nivel activo.

TIEMPO DE RECUPERACIÓN (t_{rec}) es el tiempo que transcurre desde que las entradas asíncronas dejan de ser activas hasta el flanco activo de la señal de reloj.

TIEMPOS DE RETARDO DE PROPAGACION:

T_{PLH} : desde el flanco de disparo del impulso de reloj hasta la transición de nivel bajo a nivel alto de la salida.

T_{PHL} : desde el flanco de disparo del impulso de reloj hasta la transición de nivel alto a nivel bajo de la salida.

T_{PLH} , desde la entrada de inicialización (*preset*) hasta la transición de nivel bajo a nivel alto de la salida.

T_{PHL} , desde la entrada de borrado (*clear*) hasta la transición de nivel alto a nivel bajo de la salida.

Los parámetros temporales descritos se ilustran en las siguientes figuras para el *flip-flop* SN7474 de *Texas Instruments*. Concretamente, el diagrama de tiempos se da en la Figura 174, los retardos de propagación se presentan en la Figura 175 y las restricciones temporales se pueden ver en la Figura 176.

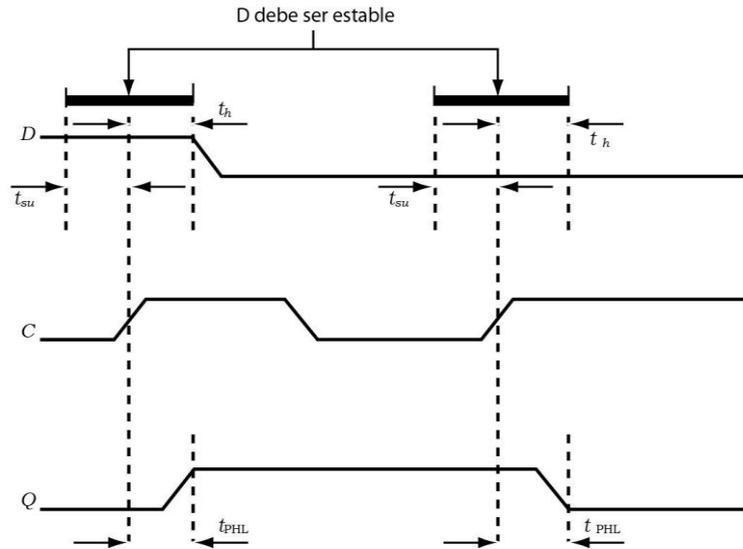


Figura 174

A la salida Q desde:	Parámetros de retardo	Valor (ns)
Reloj	t_{PLH}	25
	t_{PHL}	40
PRE	t_{PLH}	25
	t_{PHL}	40
CLR	t_{PLH}	25
	t_{PHL}	40

Figura 175

Pin de entrada	Restricción	Valor mínimo (ns)
D	t_{su}	20
D	t_h	5
Erlojua	t_w baxua	30
Erlojua	t_w altua	37
CLR	t_w baxua	30
PRE	t_w altua	30

Figura 176

En la Figura 177 se ilustra el concepto de anchura de pulso y en la Figura 178 los retardos de propagación de las señales asíncronas comentadas antes.

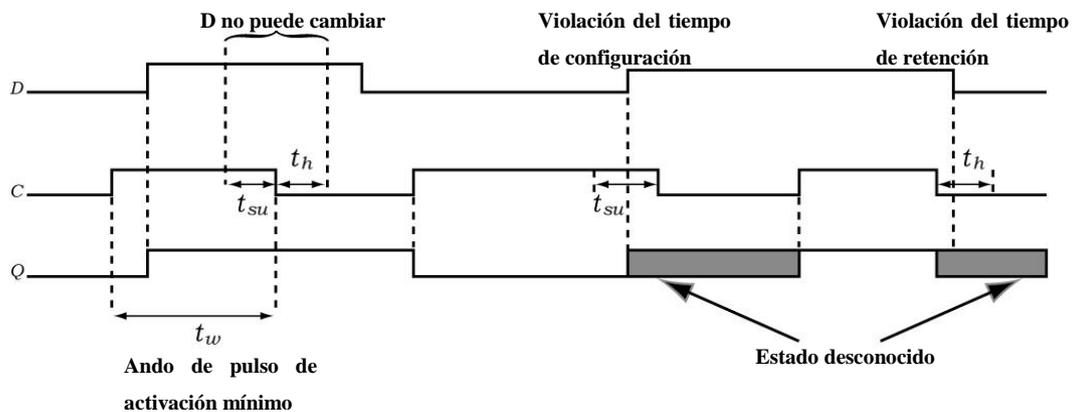


Figura 177

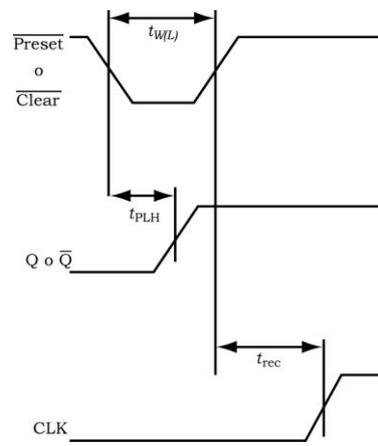


Figura 178

4.5. Resumen de las características de los latches y los flip flops.

Los circuitos latch se utilizan sobretodo para capturar señales de ciertas líneas y almacenarlas. Por ejemplo, el latch SR simple captura pulsos aleatorios de las líneas de sus entradas R y S, ya que cada pulso en dichas líneas activa o desactiva el latch. Por su parte el latch SR con compuertas solo cambia de estado cuando esta habilitado, de modo que sirven para capturar datos que llegan y se estabilizan antes del final de un pulso de activación, sirviendo así para filtrar alteraciones transitorias de la señal (ruido) en dicha línea.

Por su lado, los flip-flops se usan para diseñar circuitos secuenciales donde todos los cambios deben sincronizarse con cierta señal de reloj. Normalmente, se usan los FF de tipo JK o D, no usándose casi nunca los SR, ya que pueden sustituirse por el más polifacético JK que ofrece la opción de *balanceo*, eliminando además la prohibición de la entrada S=R=1. Los FF-T por su lado suelen dedicarse al diseño de contadores.

Podemos resumir los diversos dispositivos comentados y su funcionamiento básico mediante las ecuaciones características que aparecen en la Figura 179, donde solo hay una entrada para los FF D y JK disparados por pulso y por transición, ya que solo se diferencian en comportamiento temporal, como se vio en su momento. Usaremos estas ecuaciones lógicas mas adelante como base de diversos circuitos secuenciales.

SR latch	$Q^* = S + \bar{R}Q$
Latch SR con compuertas	$Q^* = SC + \bar{Q}R + \bar{C}Q$
Latch D	$Q^* = DC + \bar{C}Q$
Flip-flop SR	$Q^* = S + \bar{R}Q$
Flip-flop D	$Q^* = D$
Flip-flop JK	$Q^* = J\bar{Q} + \bar{K}Q$
Flip-flop T (disparado por transición)	$Q^* = \bar{Q}$
Flip-flop T (con reloj)	$Q^* = T\bar{Q} + \bar{T}Q$

Figura 179

4.6. Representación de funcionamiento de los biestables.

Para describir el funcionamiento de los circuitos biestables se suele usar, además de la ecuación lógica característica, los dos elementos descritos a continuación.

Tabla de Excitación, en la que se representan por un lado, todas las combinaciones de los valores que puedan tomar las variables de excitación para cada estado (Q) y, por otro lado, el estado al que evolucionará el *biestable* (Q*) ante cada una de estas combinaciones. Por ejemplo, en Tabla 38 tenemos la tabla de excitación de un FF-JK. Esa misma información se puede expresar según la Tabla 39.

J	K	Q	Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tabla 38

Q	Q*	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tabla 39

Diagrama de Estados, donde los estados del circuito aparecen en círculos junto con la salida correspondiente y las transiciones de estado se indican mediante flechas. Cada flecha se rotula con el valor de las entradas que provocan dicha transición. En la Figura 180 se presenta el diagrama de estados del mismo FF-JK.

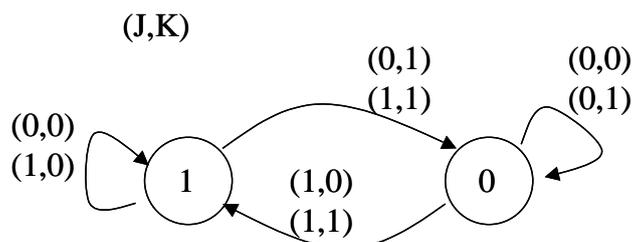


Figura 180