

#### 4.1. Circuitos Digitales Configurables

Los circuitos digitales configurables son sistemas electrónicos digitales cuya función se puede modificar utilizando solamente una parte de los elementos que los componen y/o cambiando la interconexión entre ellos.

##### 4.1.1. Clasificación de los circuitos integrados digitales monolíticos normalizados

Los circuitos digitales pueden dividirse en dos grupos. Por un lado están los circuitos de función fija cuyas características pueden resumirse en los siguientes puntos:

- Realizan funciones concretas y comunes como la suma, la comparación...
- Su funcionalidad no puede modificarse.
- Pueden encontrarse en las clasificaciones de SSI, MSI y LSI.

Los circuitos denominados ASIC (Application-Specific Integrated Circuits) también se incluyen en ese grupo. Un ASIC es un circuito que se ha implementado para realizar una determinada función compleja o muy específica.

Por otro lado, están los circuitos programables, es decir, aquellos en los que puede programarse algún tipo de función. Sus características se resumen en los siguientes puntos:

- La arquitectura interna es, simultáneamente, fija y configurable. Es decir, el usuario no puede modificar su estructura física pero las conexiones entre los elementos que forman el sistema físico si pueden ser modificadas por el usuario.
- Son de reducido coste y gran fiabilidad.

##### 4.1.2. Clasificación de los Circuitos Configurables según el tipo de arquitectura

Teniendo en cuenta la estructura interna de los circuitos programables pueden diferenciarse dos grupos: los que disponen de una organización matricial (Programmable Logic Devices o Dispositivos Lógicos Programables, denominados PLD), y los que disponen de conjuntos configurables de puertas (*Field Programmable Gate Array*, denominados FPGA)

### 4.1.3. Dispositivos lógicos programables (PLDs)

Tal y como se ha presentado en el apartado anterior, este tipo de dispositivos tienen una organización interna matricial. Concretamente, es una red de conductores distribuidos en filas y columnas con un “fusible” en cada punto de inserción (ver Figura 1) mediante el cual se pueden definir las entradas a las puertas lógicas tal y como puede verse en el ejemplo de la Figura 2. Para ello, basta con “quemar” el “fusible” correspondiente a aquellas entradas que no sean necesarias.

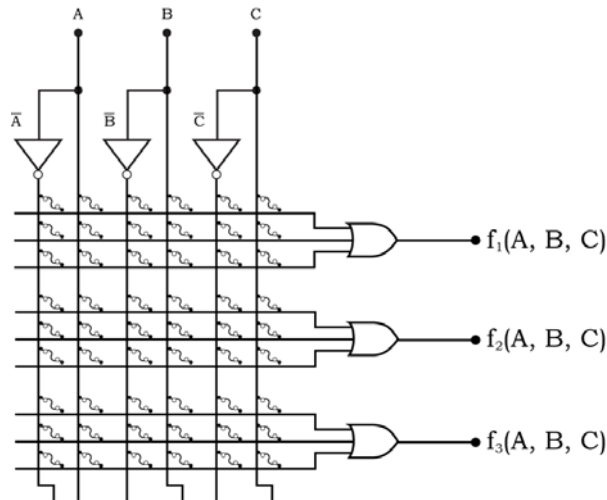


Figura 1

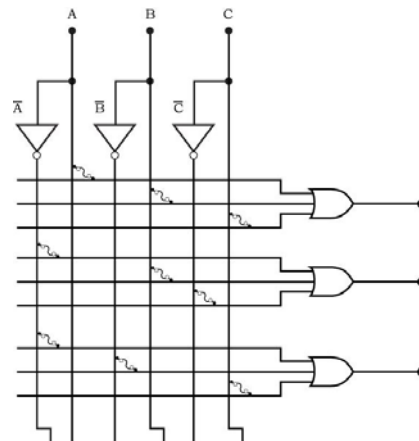


Figura 2

El denominado “fusible” puede ser de tres tipos:

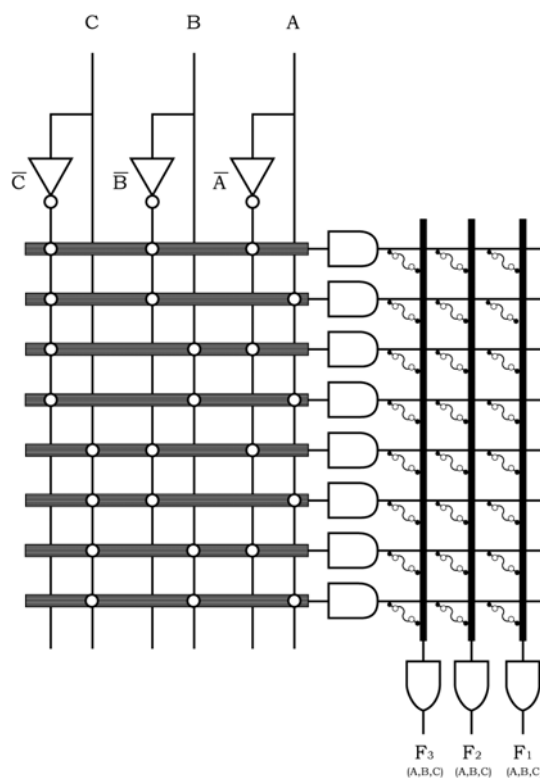
- **Células PROM:** son circuitos fabricados con tecnología bipolar o CMOS y que solamente se pueden programar una única vez, por ello, también son conocidos como OTP, One Time Programmable.

- **Células EPROM o EEPROM:** son circuitos realizados con transistores de puerta flotante en tecnología ECMOS o E2CMOS, borrables por radiaciones ultravioletas o por impulsos eléctricos respectivamente.
- **Células SRAM:** son circuitos formados por memorias RAM estáticas, volátiles y, por lo tanto, reprogramables directamente en el circuito (In Circuit).

Entre los dispositivos PLD puede hacerse una clasificación según su arquitectura interna, es decir, a partir de la estructura de las matrices internas y el tipo de puerta utilizado. Las posibles combinaciones son:

### Estructura PROM: Programmable Read Only Memory

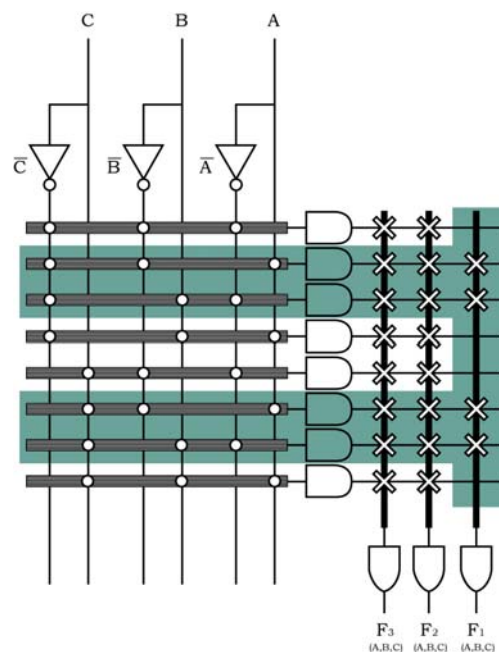
La organización interna se basa en una matriz AND fija seguida de una matriz OR programable tal y como se muestra en la Figura 3. Tal y como se ha descrito anteriormente, la matriz programable esta formada por líneas distribuidas en filas y columnas donde los puntos de cruce están unidos por medio de una celda de programación. En el caso representado en la figura se utiliza un diodo en serie con un fusible, es decir una celda PROM.



**Figura 3**

La ventaja de la estructura PROM es que decodifica cada combinación de entrada, es decir, si se tienen  $n$  entradas se necesita un decodificador  $2^n$ , lo que hace inviable su uso para un número grande de entradas.

En la Figura 4 la salida  $F_1$  del dispositivo se ha programado para generar la función  $F = \overline{C}A\overline{B} + \overline{C}A\overline{B} + C\overline{A}\overline{B} + C\overline{A}\overline{B}$ . Puede observarse que el “fusible” o la entrada útil se ha representado mediante una cruz y el “fusible quemado” sin cruz alguna.

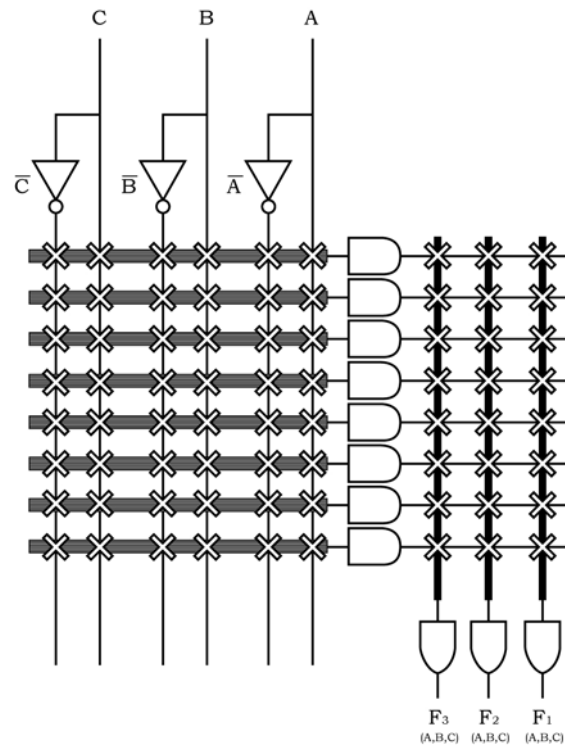


**Figura 4**

### Estructura PLA Programmable Logic Array

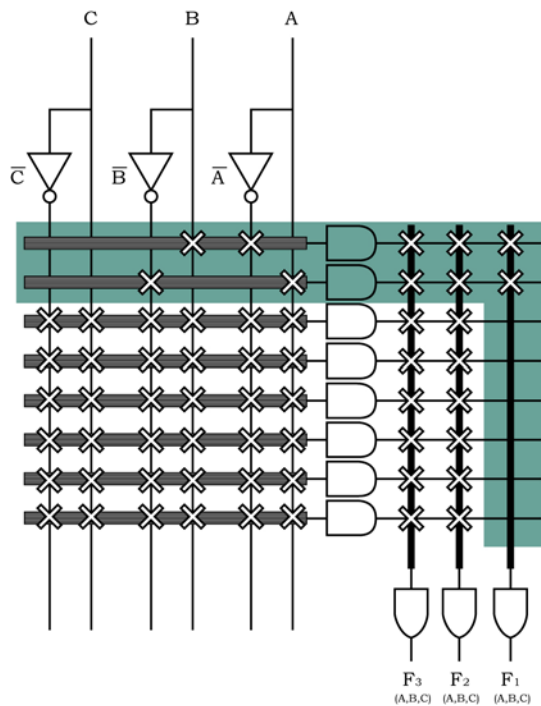
La organización interna se basa en dos matrices programables. Una de ellas se utiliza para definir las entradas a puertas AND y la otra a puertas OR tal y como puede observarse en la Figura 5. Esta estructura permite un incremento del número de entradas sin aumentar el tamaño de la matriz AND. Además, si alguno de los productos programados para una salida es común a otra, se puede reutilizar de nuevo. De esta manera se logra un mayor aprovechamiento de los recursos disponibles. Sin embargo, estos dispositivos presentan mayor dificultad en su programación al tener ambas matrices programables y al tener mayor número de conexiones programables se necesita mayor tiempo de propagación de las señales a través de ella.

Los dispositivos que presentan este tipo de estructura interna también se denominan FPLA (Field Programmable Logic Array).



**Figura 5**

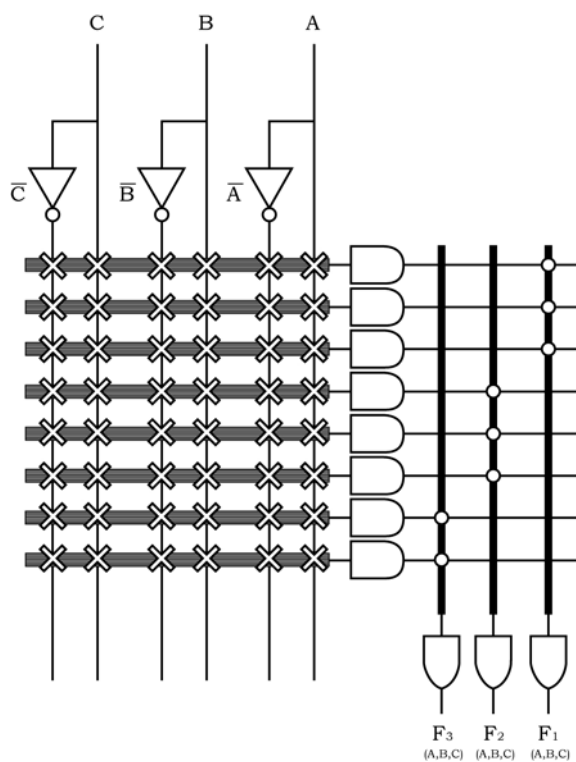
En la Figura 6 la salida  $F_1$  del dispositivo se ha programado para generar la función  $F = \bar{A}B + A\bar{B}$ . Puede observarse que el “fusible” o la entrada útil se ha representado mediante una cruz y el “fusible quemado” sin cruz alguna.



**Figura 6**

### Estructura PAL Programmable Array Logic

La organización interna se basa en dos matrices. Una de ellas se utiliza para definir las entradas a puertas AND y la otra a puertas OR tal y como puede observarse en la Figura 7. Sin embargo en este caso, únicamente es programable la matriz AND. El “fusible” utilizado en la matriz programable es de tecnología bipolar (TTL o ECL), es decir, OTP. Estos dispositivos son fáciles de programar ya que disponen de una sola matriz programable. Además, son de reducido coste y mayor velocidad de propagación. Por todo ello, la estructura PAL se ha convertido en una estructura muy utilizada como matriz lógica básica de los circuitos programables.

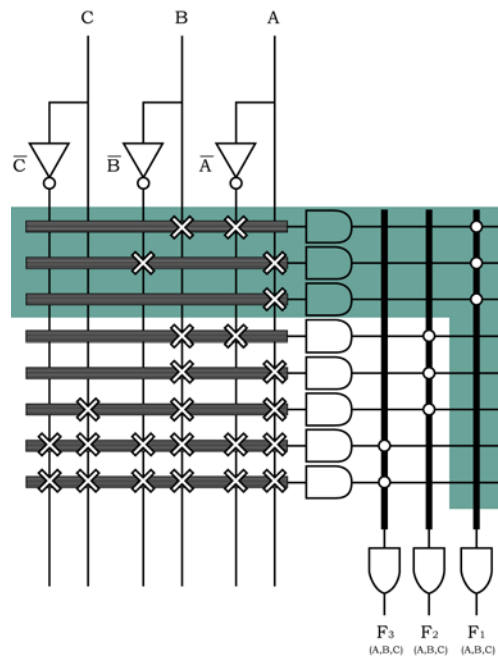


**Figura 7**

Sin embargo, en caso de haber varias salidas con productos comunes ese término deberá programarse independientemente para cada una de las funciones, lo cual implica un uso ineficiente de la estructura lógica. Un ejemplo de este hecho se presenta en la Figura 8 donde se han programado las siguientes funciones:

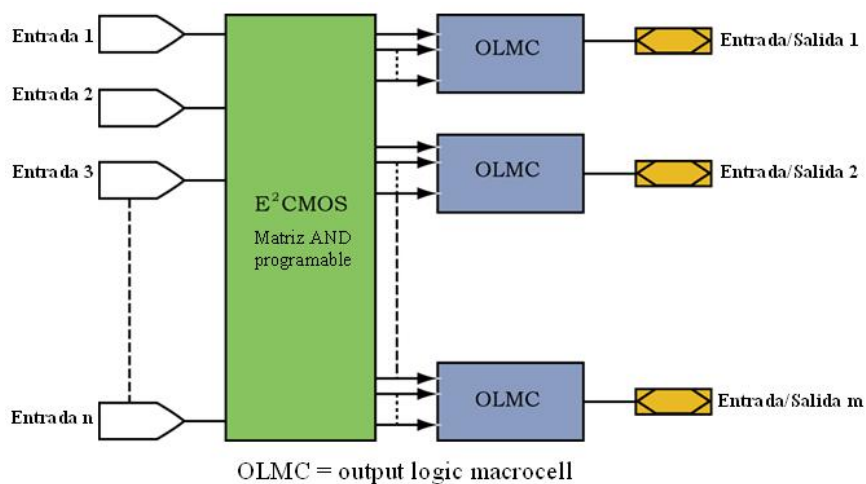
$$F_1 = \overline{A}B + A\overline{B} + CBA$$

$$F_2 = \overline{A}B + AB + CBA$$



**Figura 8**

Entre las estructuras PAL hay que destacar la estructura GAL que no es otra cosa que una evolución de las PAL. Dos son las características de esta evolución. Por un lado, incluyen una salida lógica programable, y por otro, la posibilidad de reprogramación ya que usa tecnología E<sup>2</sup>CMOS. Estas características se han representado esquemáticamente en la Figura 9.



**Figura 9**

En los “fusibles” de las intersecciones, en lugar de utilizar el símbolo del fusible, normalmente se utiliza un bloque con las palabras ON u OFF para representar la

programabilidad de la matriz AND. Un ejemplo es el presentado en la Figura 10 donde se ha implementado la función  $F = \overline{A}\overline{B} + \overline{A}B + AB$

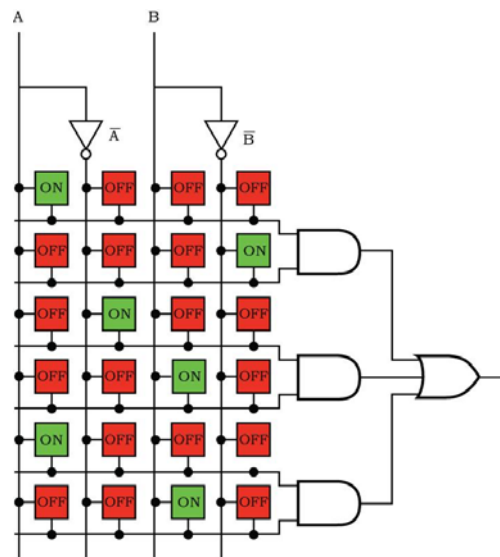


Figura 10

### FPGAs: Field-programmable gate array

Estos dispositivos presentan una estructura interna muy diferente a los dispositivos anteriores y mucho más compleja. En lugar de utilizar matrices AND/OR, lo componen bloques lógicos configurables que permiten implementar funciones más complejas. Por ello, este tipo de dispositivo se utiliza para la programación de grandes circuitos.