

## 9. Interfaces entre las familias lógicas.

En este apartado se analizarán los requerimientos de conexión entre puertas lógicas de distintas tecnologías y los interfaces que permitan dichos conexiones.

Para ello, en primer lugar habrá que realizar un análisis de las corrientes y tensiones de las puertas a conectar.

### Conexión CMOS-TTL:

- $V_{OH(min)} \text{ CMOS} = 4,9V$  y  $V_{IH(min)} \text{ TTL} = 2V \Rightarrow$  no hay problema en estado alto.
- $V_{OL(max)} \text{ CMOS} = 0,1V$  y  $V_{IL(max)} \text{ TTL} = 0,8V \Rightarrow$  no hay problema en estado bajo.
- $I_{OL(max)} \text{ CMOS} = 4mA$  y  $I_{IL(max)} \text{ TTL} = 1,6mA \Rightarrow$  fan-out de CMOS = 2 puertas TTL ( $2 * 1,6 \text{ mA} = 3,2 \text{ mA}$ )

Si excita puertas TTL LS,  $I_{IL(max)} = 400\mu A \Rightarrow$  fan-out = 10

Si excita TTL S,  $I_{IL(max)} = 2mA, \Rightarrow$  fan-out = 2

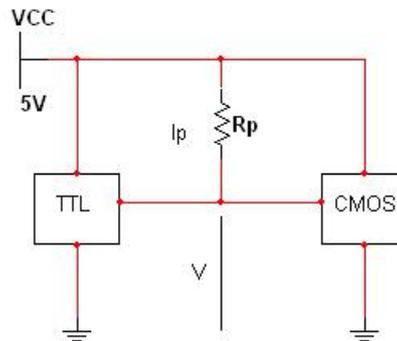
Si excita TTL AS,  $I_{IL(max)} = 2mA, \Rightarrow$  fan-out = 2

No es necesario ningún tipo de interfaz.

### Conexión TTL-CMOS (5V)

- $V_{OH(min)} \text{ TTL} = 2,4 - 2,7$  y  $V_{IH(min)} \text{ CMOS} = 3,15 \text{ V} \Rightarrow$  no es suficiente para el estado alto.
- $V_{OL(max)} \text{ TTL} = 0,4 \text{ V} - 0,5$  y  $V_{IL(max)} \text{ CMOS} = 1V \Rightarrow$  no hay problema para el estado bajo.

Es evidente que hará falta algún interfaz en esta conexión que aumente la tensión en la entrada de la puerta CMOS. Para ello, una opción es añadir una resistencia Pull-up ( $R_p$ ), conectada a  $V_{cc}$  (Figura 1)



**Figura 1**

Así pues  $V_{cc} = R_p I_p + V_{OH}$

No existe ningún problema en hacer el término  $R_p I_p$  lo más pequeño posible, para así aumentar el  $V_{OH}$ . Sin embargo, si analizamos esta situación para el estado bajo:

( $V_{cc} = R_p I_p + V_{OL}$ ), si  $R_p I_p$  fuese muy pequeño,  $V_{OL}$  podría superar  $V_{OLMAX}$ . Por lo tanto, la limitación se encuentra para el estado bajo. A partir de esa condición se plantean las siguientes restricciones:

a)  $V_{cc} = R_p I_p + V_{OLMAX}$

b)  $I_{OL(TTL)MAX} = n I_{IL(CMOS)} + I_{Rp}$

que nos permite obtener el valor de la resistencia pull-up  $R_p$ :

$$R_p = \frac{V_{cc} - V_{OL(max)}}{I_{OL(TTL)max} - n I_{IL(CMOS)}}$$

Siendo  $n$  = número de entradas CMOS que se están excitando