

6. Características operacionales y parámetros básicos

6.1. Niveles lógicos

Los niveles lógicos vienen determinados por los parámetros definidos en el apartado anterior. Valores orientativos son:

TTL: $V_{IHmin} = 2V$; $V_{ILmax} = 0,8V$; $V_{OHmin} = 2,4 V$; $V_{OLmax} = 0,4V$

CMOS: $V_{IHmin} = 3,5V$; $V_{ILmax} = 1,5V$; $V_{OHmin} = 4,9 V$; $V_{OLmax} = 0,1V$

Si se utilizan en las entradas valores de tensión que no pertenecen al margen correspondiente, la salida proporcionará un valor fuera de rango y, por lo tanto, el circuito no funcionará correctamente.

6.2. Curva de transferencia

La curva de transferencia muestra la forma de variación de la tensión de salida en función de la tensión de entrada.

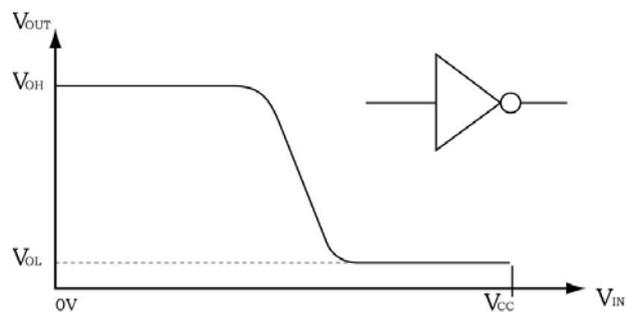


Figura 1

A partir de la curva de transferencia pueden obtenerse gráficamente los niveles lógicos de una puerta. Como puede observarse en la Figura 2, los valores de V_{ILmax} y V_{IHmin} , se obtienen en el punto en que la pendiente de la curva toma el valor -1.

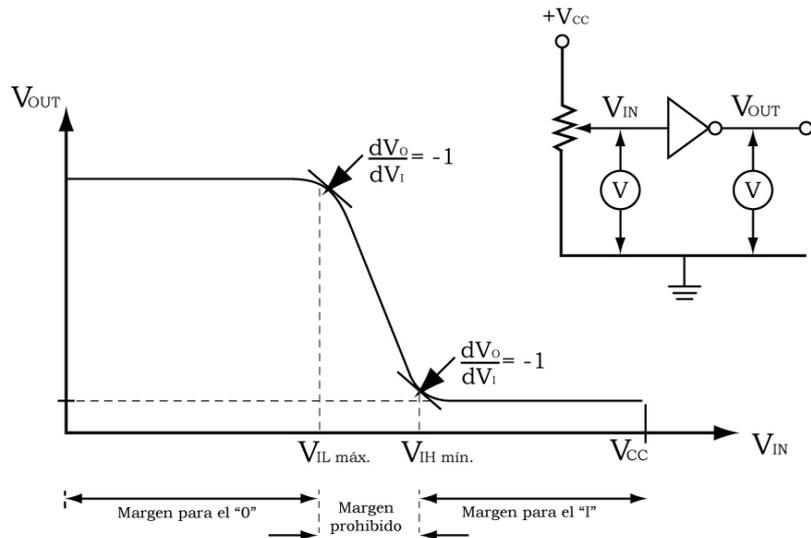


Figura 2

6.3. Margen de ruido

Es la capacidad de una puerta para tolerar ciertas fluctuaciones de tensión no deseadas en sus entradas, sin que cambie el estado de salida. Estas fluctuaciones no deseadas se denominan “ruido” y son debidas a causas internas o externas como, por ejemplo:

- Ruido eléctrico ambiental, generado por: chispas en contactos de interruptores, fluorescentes, contactores...
- Ruido por la tensión de alimentación.
- Ruido por acoplo entre pistas cercanas.

El efecto del ruido sobre una única puerta sería el representado en las Figura 3y Figura 4.



Figura 3



Figura 4

Sin embargo, cuando se refiere a “Margen de Ruido” se hace referencia a los “ruidos” introducidos entre la conexión de dos puertas lógicas y la capacidad de absorber estos ruidos la segunda de las puertas. Para llevar a cabo el estudio de esta capacidad hay que analizar la situación en estado alto y en estado bajo, tal y como se muestra en la Figura 5. Se trata de una conexión entre dos puertas TTL. Para el estado alto, la segunda de las puertas necesita 2V como mínimo, mientras que la primera puerta en estado alto, genera 2,4V como mínimo. Por lo tanto, si se introduce un “ruido” de hasta -0,4V, la segunda puerta continuará entendiendo un 1 lógico en su entrada. Para el estado lógico bajo, puede observarse que el “ruido” permitido será de 0,4V.

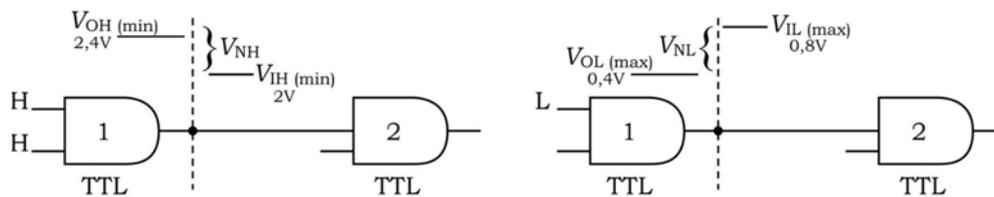


Figura 5

La expresión analítica formal sería:

$$V_{NH} = V_{OH(min)1} - V_{IH(min)2}$$

$$V_{NL} = V_{IL(max)2} - V_{OL(max)1}$$

6.4. Consumo. Disipación de potencia

Todo circuito, tanto eléctrico como electrónico, tiene un consumo de corriente durante la operación que debe ser tenido en cuenta a la hora del diseño.

Los parámetros que identifican este consumo son:

I_{CCH} = Corriente de consumo para las salidas en estado alto.

I_{CCL} = Corriente de consumo para las salidas en estado bajo.

Estos consumos se refieren al consumo por CI por lo que si únicamente se utiliza una de las puertas de CI habría que realizar el cálculo correspondiente.

Los consumos de los CI de tecnología CMOS únicamente consumen en las transiciones de estado y, por el contrario, el consumo en estado de reposo es prácticamente nulo, ya que, se debe únicamente a las corrientes parásitas.

A partir de las corrientes y alimentaciones del CI, se puede calcular la potencia disipada a partir de las expresiones mostradas en la Tabla 1.

TTL	CMOS
$P_D = V_{CC} I_{CC},$ $I_{CC} = \frac{I_{CCH} + I_{CCL}}{2}$	$P_D = C_L \cdot V_{DD}^2 \cdot f$

Tabla 1

Puede observarse que la potencia disipada por la puertas CMOS depende de la frecuencia y la capacitancia de la carga. Tal y como se ha mencionado anteriormente, las puertas CMOS sólo consumen en las transiciones de estado, por lo tanto, si aumenta la frecuencia, aumenta el número de cambios de estado. En consecuencia, aumenta el consumo y finalmente, la potencia disipada. Por otro lado, todas las puerta CMOS presentan una capacitancia de alrededor de 5pF, lo cual también afecta a la disipación de potencia.

Un gráfico representativo que ilustra la diferencia de disipación de potencia entre la puertas TTL y CMOS es la Figura 6.

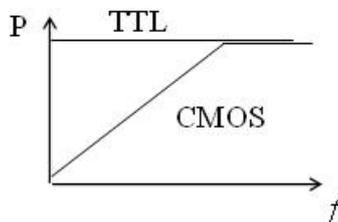


Figura 6

6.5. Retardo de propagación (r.d.p)

El concepto de retardo de propagación ha aparecido en el capítulo 2 en referencia a los gitches. Estos son debidos a que, una vez realizado un cambio de nivel en la entrada, el cambio de nivel en la salida se produce cierto tiempo después. Este tiempo es el retardo de propagación y se identifica a través de los parámetros : t_{PHL} y t_{PLH} , tal y como se observa en la Figura 7

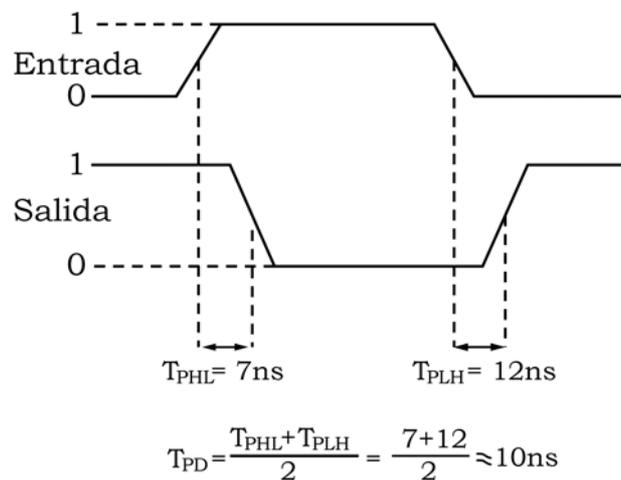


Figura 7

Algunas observaciones que pueden extraerse son:

- Cuanto mayor sean los r.d.p., la frecuencia máxima de operación será menor.
- Los tiempos de propagación son del orden de 10^{-9} s.
- El tiempo de propagación es dependiente de la carga (este dato deb consultarse en las hojas de características). Cuanto mayor sea la capacitancia de la carga (C_L), mayores serán los tiempos de carga-descarga y, por lo tanto, menor la velocidad de de operación.
- Problemas que conlleva: aparición de *giltches*.
- La frecuencia del reloj en la CPU depende de este parámetro.

6.6. Producto velocidad potencia (pvp)

Es un factor que da cuenta de la calidad de la tecnología, haciendo un compendio entre la disipación de potencia y los tiempos de retardo. Para ello, cuanto menor sea este valor más equilibrada es la tecnología.

$$C = T_P \cdot P_D$$

Normalmente la pvp de CMOS es menor que la de TTL.

6.7. Carga y fan-out

Cuando la salida de una puerta lógica se conecta a una o más entradas de otras puertas, se genera una carga en la puerta excitadora. Tanto la puerta excitadora como las puertas de carga, presentan resistencias internas en ambos estados lógicos. En el caso de las puertas de carga CMOS presentan una carga capacitiva.

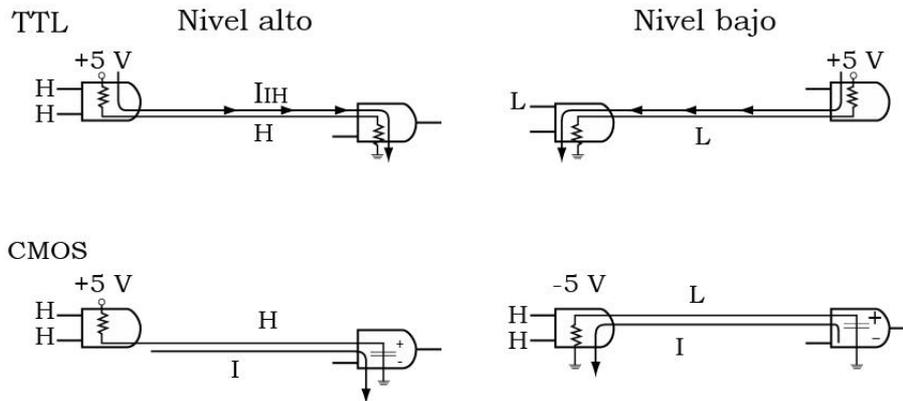


Figura 8

El fan-out es el número límite de entradas de puertas de carga que una cierta puerta puede excitar.

Carga TTL: En un circuito TTL, la puerta excitadora en estado alto entrega corriente a las entradas de las puertas de carga. Sin embargo, en estado bajo absorbe corriente. Este hecho se representa gráficamente en la Figura 9.

Corrientes de entrada: I_I

Corrientes de salida: I_o

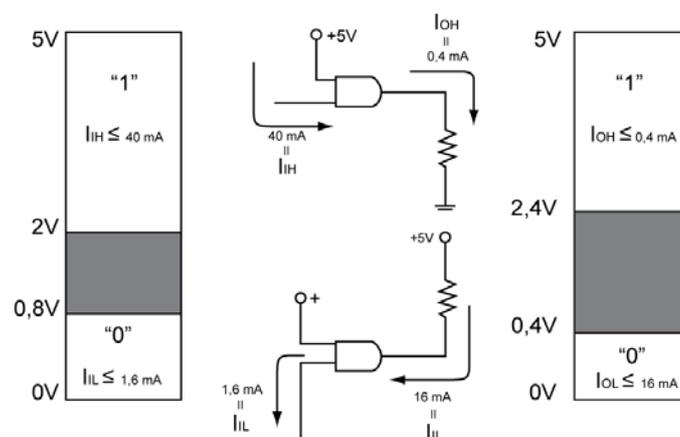


Figura 9

Analicemos el efecto de aumento de carga cuando la puerta excitadora está en estado alto y en estado bajo:

En estado alto, cuantas más puertas de carga se conecten, la corriente de la fuente excitadora aumentará y, por lo tanto, también la caída de tensión de esta puerta, lo cual provocará una disminución de la tensión de salida V_{OH} .

$$V_{salida} = V_{puerta} + V_{oh} = I_p R_p + V_{oh}$$

$$V_{puerta} = V_{cc}$$

$$V_{oh} = V_{cc} - I_p R_p$$

De esta manera, podría suceder que la corriente aumentase tanto que V_{OH} cayese por debajo de V_{OHmin} provocando el funcionamiento incorrecto del circuito, ya que el valor de V_{IH} en las puertas de carga no será el correcto.

En estado bajo, la corriente total absorbida por la puerta excitadora aumenta, provocado un aumento de la caída de tensión interna de la puerta excitadora, es decir, aumentado V_{OL} .

$$V_{salida} + V_{puerta} = V_{ol}$$

$$V_{salida} = 0$$

$$V_{ol} = I_p R_p$$

De esta manera, podría suceder que la corriente aumentase tanto que V_{OL} subiese por encima de V_{OLmax} , provocando el funcionamiento incorrecto del circuito, ya que el valor de V_{OL} en las puertas de carga no será el correcto.

Carga CMOS: Debido a los dispositivos FET utilizados en este tipo de puertas, éstas presentan una carga capacitiva a la puerta excitadora (Figura 10). Ello implica que las limitaciones serán debidas a los tiempos de carga y descarga asociados con la resistencia de salida de la puerta excitadora y la capacitancia de entrada de las puertas de carga. La capacitancia de la puerta de carga se carga o descarga a través de la resistencia de salida de la puerta excitadora cuando ésta está a nivel alto o a nivel bajo, respectivamente.

Al añadir puertas de carga, la capacitancia total aumenta. Así, los tiempos de carga y de descarga aumentarán, disminuyendo la frecuencia máxima de funcionamiento.

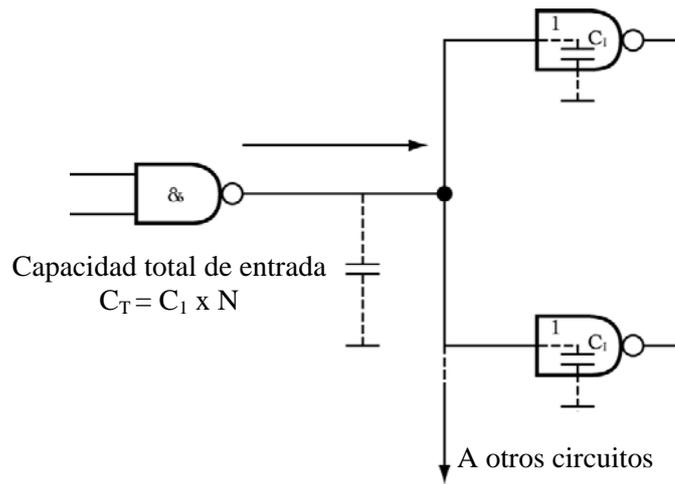


Figura 10

La ecuación de carga de un condensador a través de una R conectada a V_{cc} :

$$V_c(t) = V_{final} \cdot [(V_{inicial} - V_{final})] e^{-t/RC}$$