

10. Riesgos estáticos y dinámicos

Debido a los retardos de los dispositivos lógicos, pueden darse en las salidas valores anómalos llamados *glitches*.

Supongamos el circuito de la Figura 1. La salida, para cualquier valor de la variable de entrada A, debería ser 0. Sin embargo si se tienen en cuenta los retardos de propagación de las señales a través de las puertas que intervienen en el circuito, podrá observarse que la salida F no es 0 en cualquier momento. Para ello, se realiza un *cronograma*, que no es mas que la representación del valor de las señales a largo del tiempo, tal y como se muestra en la Figura 1.

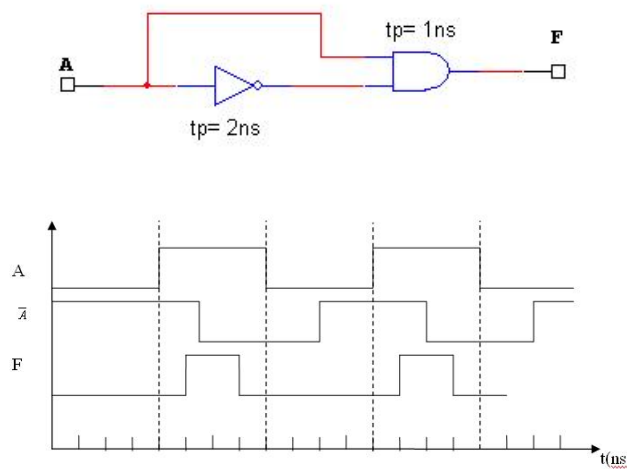


Figura 1

La salida F, presenta unos picos de valor 1 que no existirían si el valor de los tiempos de retardo fuese cero. Por lo tanto, a la hora de chequear el valor de las salidas de un sistema habrá que asegurarse que se leen una vez estabilizada la salida.

Existen dos tipos de riesgo de aparición de glitches, estáticos y dinámicos:

Riesgo estáticos: Se dice que existe riesgo estático cuando ante un cambio en la entrada que no debería producir cambio de estado alguno en la salida, aparece un pulso indeseado en dicha salida.



Riesgo dinámicos: Se dice que existe riesgo dinámico cuando ante un cambio en la entrada que debería producir un cambio en el estado de la salida, aparece un pulso transitorio en dicha salida.



Sea el circuito de la Figura 2. Supongamos que: la puerta OR es ideal, las puertas AND y la NOT provocan el mismo tiempo de retardo τ y un cambio de variables de entrada desde $x_1x_2x_3=111$ a $x_1x_2x_3=011$ (Cronograma 1) y desde $x_1x_2x_3=011$ a $x_1x_2x_3=111$ (Cronograma 2)

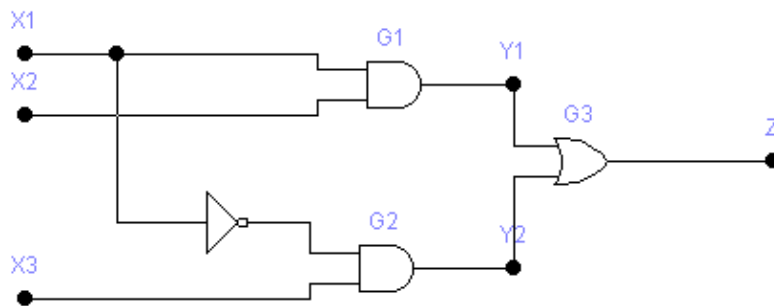
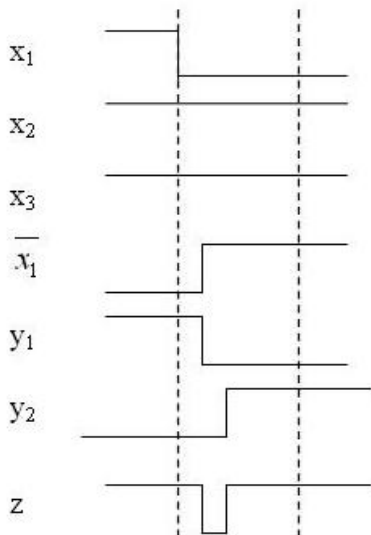
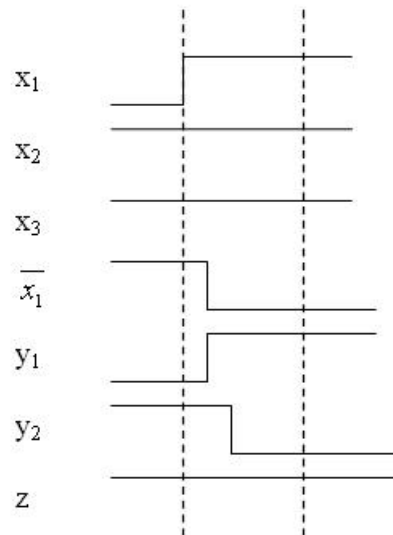


Figura 2



Cronograma 1



Cronograma 2

Según los cronogramas, una variación de una variable de entrada puede provocar o no un glitch, es decir, existen transiciones de las variables de entrada que pueden provocar un glitch. Para saber a priori, cuales son las que podrían concluir en glitch, se debe recurrir a los mapas de Karnaugh y analizar los grupos realizados para la simplificación. En el caso del circuito bajo análisis, si se obtiene la función canónica (Ecuación 1), se observa que se han realizado dos grupos que han dado lugar a dos operandos en los cuales la variable x_1 aparece complementada y sin complementar. Cuando en las variables de entrada se realiza una transición que supone una transición de un grupo a otro en los grupos realizados en el mapa de Karnaugh (Tabla 1), estaremos ante una situación de Riesgo de aparición de glitch y habrá que analizar cuál de las transiciones provocará glitch.

$$z = y_1 + y_2 = x_1x_2 + \overline{x_1}x_3 = \sum(1,3,6,7)$$

Ecuación 1

		x_2x_3			
		00	01	11	10
x_1	0		1	1	
	1			1	1

Tabla 1

Así pues, las transiciones entre grupos disjuntos, pueden provocar glitch. Una manera de evitar que ocurra es insertando lógica redundante, es decir, una puerta que mantenga el nivel de la salida en caso de riesgo. En el mapa de Karnaugh se representa mediante la adición de un nuevo grupo (Tabla 2) y por lo tanto la función lógica resultante será la Ecuación 2.

		x_2x_3			
		00	01	11	10
x_1	0		1	1	
	1			1	1

Tabla 2

$$z = x_1x_2 + \overline{x_1}x_3 + x_2x_3$$

Ecuación 2

Otro tipo de solución sería insertar retardos mediante hardware. Sin embargo, el valor de los retardos introducidos es difícilmente controlable y varía con las condiciones de funcionamiento, pudiendo dar lugar a nuevos riesgos.

Finalmente, si no es posible añadir lógica redundante, habría que muestrear la lógica únicamente cuando ha terminado el régimen transitorio.