

#### **4. Memoria duten oinarritzko elementu biegonkorrak (balantzak)**

Aurreko atalean aurkeztutako memoria-blokeen garapena aztertuko da atal honetan. Bloke horiek oinarritzko memoria-gailuz osatuta daude: biegonkorrak edo balantzak (latch edo flip-flop), atzerapen-lineak, gailu magnetikoak, kommutadoreak, etab... Hala ere, irakasgai honetan gailu biegonkorrak baino ez dira azalduko, erabilienak baitira eta sistema sekuentzialak diseinatzeko baliabide sinpleena direlako.

Zirkuitu biegonkorrak gai dira 1 edo 0 balioa memorian gordetzeko behar beste denbora. Balio hori, zirkuituaren irteeran lortzen da, eta biegonkorraren *egoera* adierazten du  $Q$  letraren bidez. Orduan, esan daiteke zirkuitu biegonkorra 0 eta 1 egoera egonkorretako batean eperik gabe manten daitekeela. Zirkuituaren hurrengo egoera adierazteko,  $Q^*$  letra erabiltzen da. Hortaz, biegonkorrak bi egoera posible ditu: batean 0 balioa jarriko du irteeran, eta bestean, berriz, 1 balioa. Egoera bat edo bestea erdiesteko *kitzikapen-sarrerak* ditu biegonkorrak, eta haien izaeraren arabera hartzen du izena biegonkorrak. Halaber, kitzikapen-sarreraren izaera hori sakonki ezagutu behar da haien konfigurazio egokiaren bidez biegonkorra nahi dugun egoerara bideratzeko.

Biegonkor mota bi daude, latch eta flip-flop. Bigarrenak, lehenak ez bezala, denborazko kontrol-sarrera (erlojua) du. Sarrera horrek adierazten duenean, eta kontuan izanda kitzikapen-sarreraren balioa, gailuak bere egoera oraingotzen du. Hortaz, mota berdineko anitz gailuk egoera oraingotu dezakete aldi berean, hau da, sinkronizatuta lan egin dezakete. Latch-ek (*sarraila* izenarekin ere ezagunak), ez dute erloju-sarrerarik, eta kitzikapen-sarreretan aldaketa sumatu ahala euren egoera oraingotzen dute.

Jarraian, biegonkorrik arruntenak aztertuko ditugu, oinarria izango baitira zirkuitu logiko sekuentzialekin lan egiteko.

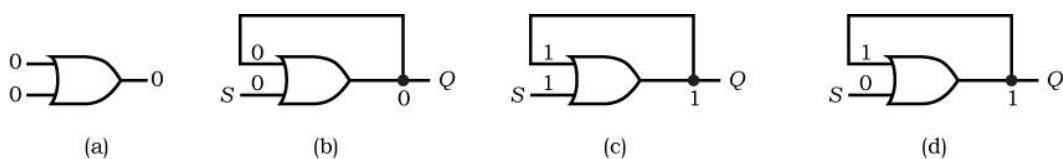
##### **4.1. Biegonkor asinkronoa: LATCH**

Atal honetan, oinarritzko ate logikoetatik abiatuz, eta berrelikaduraren erabileraren bidez latch bat nola lortu daitekeen aztertuko dugu.

##### **4.1.1. Set Latch-a**

157. Irudiaren a atalean agertzen den OR-2 atearen irteera berrelikatzen dugu haren sarrera batekin (b atala) eta besteari  $S$  izena ematen zaio. Irteeraren balioa 0 denez, irteera 0 egoeran egonkorra mantenduko da.  $S$  sarreraren balioa aldatzen bada (1 baliora, c atala), orduan  $Q$  irteerak 1 balioarekin agertuko da (c atala) eta balio hori

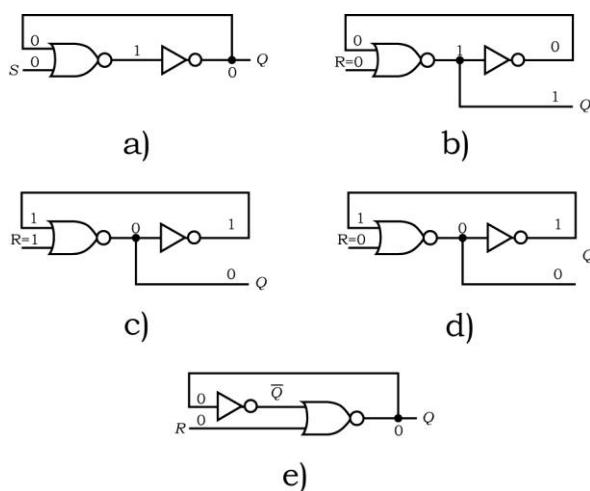
mantenduko du nahiz eta S-ren balioa 0ra bueltatu (d atala). Portaera hori Set Latch batena da.



157. Irudia

#### 4.1.2. Reset Latch-a

Reset latch-a lortzeko, aurreko atalean lortutako zirkuitutik abiatuko gara. Han, OR atearen ordean NOR atea eta NOT atearak seriean jarriko ditugu, 158. Irudiaren a atalean egin den moduan. Zirkuituaren irteera (Q) NOR atearen irteera hartzen bada, zirkuitua egonkorra egongo da 1 balioarekin b kasuan agertzen diren baldintzak mantenduz gero, hots, berrelikaduraren balioa 0 eta beste sarrerak (R) ere 0. R sarreraren balioa aldatzen bada (1 baliora, c atala), orduan Q irteerak 0 balioarekin agertuko da (c atala), eta balio hori mantenduko du nahiz eta R-ren balioa 0ra bueltatu (d atala). Portaera hori Reset Latch batena da. Ohikoa da Reset latch-aren egitura adieraztea, e atalean adierazi den moduan.

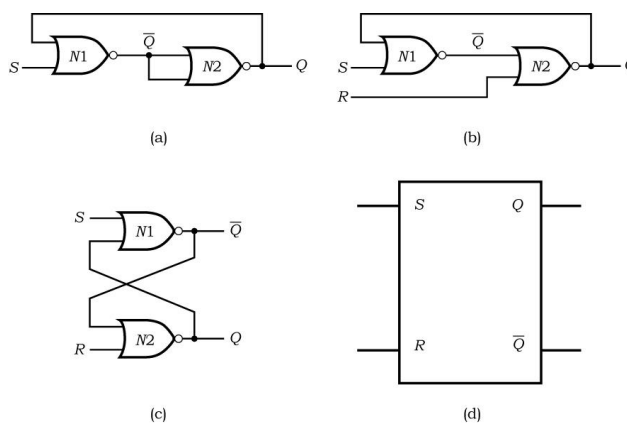


158. Irudia

#### 4.1.3. SetReset NOR Latch-a

Egoera jakin batean egonkortzen diren zirkuituak aplikazio oso arruntetan izan ezik, ez dira batere erabilgarri. Komeni da, besteak beste, aurkeztutako bi diseinuak elkarrekin konbinatzea aktibatze edo desaktibatzearen kontrola eskuragarri duen latch berria sortzeko. Horretarako, aurreko diseinuaren NOT atearen ordean NOR-2 atea jartzen da, 159. Irudiaren a atalean egin den moduan. Ate horren sarrera bat zirkuituaren sarreratzat

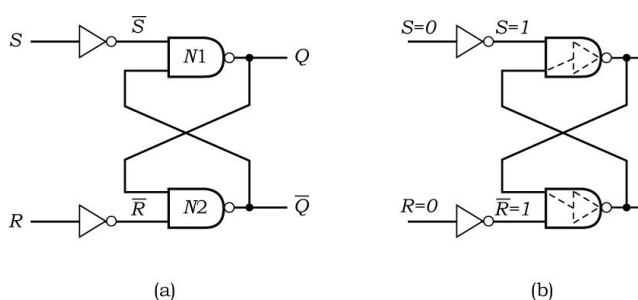
uzten bada (b atalean, R), orduan R eta S sarrerek direla medio latch berri horren egoera egonkorra aukeratu ahal izango da. Latch horri RS latch deritzogu eta ohikoa da haren barne-egitura adieraztea c atalean egin den moduan, eta ikur logikoa d atean dagoen moduan.



159. Irudia

#### 4.1.4. Latch SetReset NAND

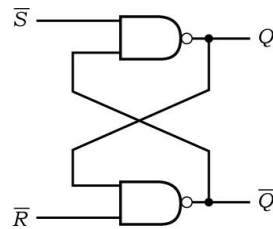
Oraingoan, SR latch horren funtzionamendu bera lortuko da, baina NAND atek erabiliz, 160. Irudiaren a atalean egin den moduan. Konfigurazio hori aztertuz, ikusten da inolako funtzionalitaterik ez duen egoera lortzen dela sarrerek  $R=S=0$  direnean. Izan ere, NAND-2 atearen sarrera batek 1 balioa badu, beste sarreraren funtzionamendua NOT atearena izango da, eta bi NAND-2 ate horien sarrerek akoplamendu gurutzatu moduan konektatu direnez (aztertu b atala), latch-aren irteerak osagarriak izango dira.



160. Irudia

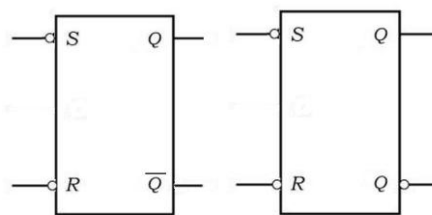
Bestalde, sarreraren bat aktibatzen denean (1 balioa), bermatzen da lortzen den egoera egonkorra bat datorrela egindako ekintzarekin; hots,  $S=1$  denean, latch-aren egoera 1 da (Set), eta  $R=1$  denean, latch-aren egoera 0 (Reset) da.

NOT atek zirkuitutik kentzen badira (161. Irudia), sarrerak maila baxuan aktiboak izango dira ( $\bar{S}$  eta  $\bar{R}$ ).



161. Irudia

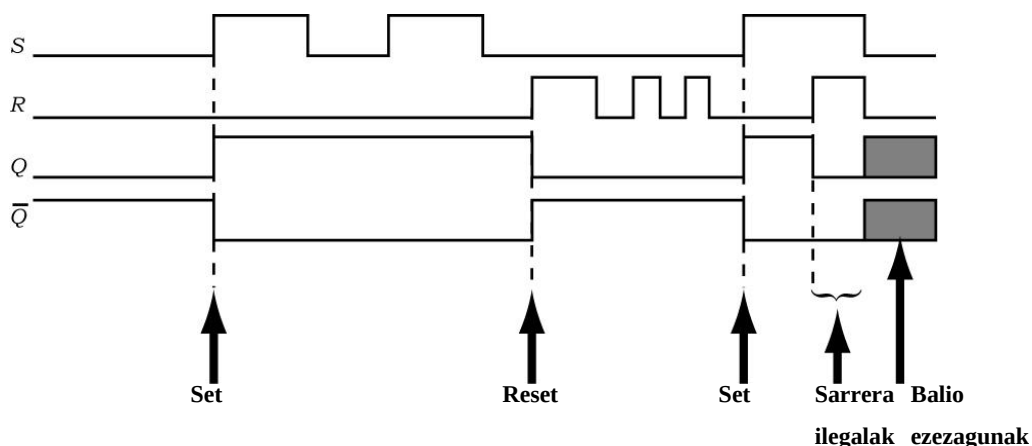
Gailua adierazteko erabiltzen diren ikur logikoak 162. Irudian erakusten dira.



162. Irudia

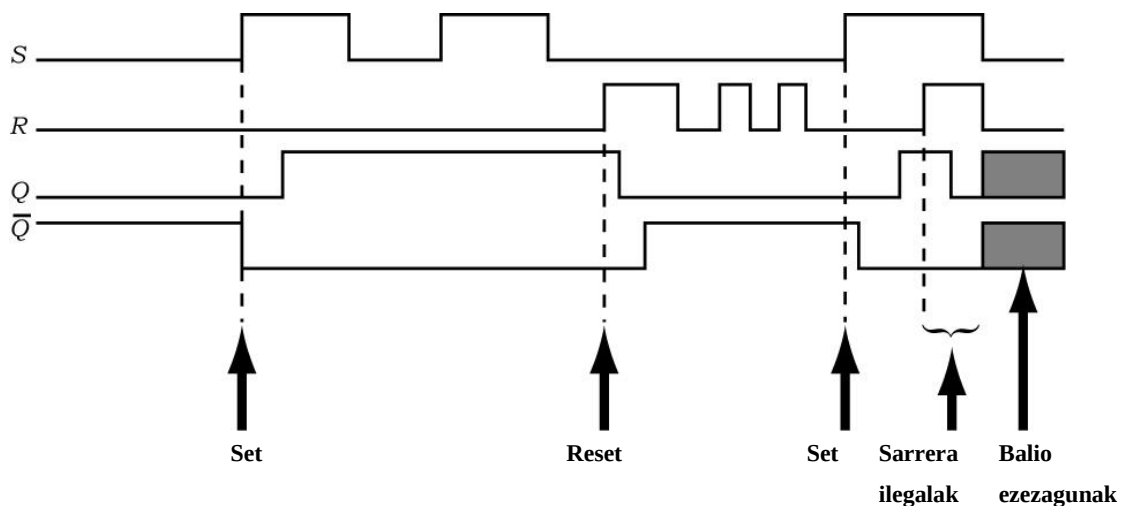
#### 4.1.5. SR latch-aren denbora-diagramak eta atzerapen denborak

Edozein latchen funtzionamendua adieraz daiteke denbora-diagrama baten bidez. Horren adibidea litzateke 163. Irudian marraztu den kronograma. Han, hasierako egoera 0 dela suposatu da, eta S sarreraren pultsua agertu ahala, zirkuitua aktibatu egin da. Egoera horretan mantendu da R sarreraren pultsua agertu arte. Orduan, zirkuitua 0 egoerara pasatu da. Kronogramarekin jarraituz, nabaria da sarrerek 1 balioa dutenean egoera 0 dela, baina horren ostean sarrera biak 0 izatera aldi berean aldatzen badira, *kompetentzia-baldintza* sartzen dira sarrera horiek, eta ezinezkoa da aurrez esatea zein izango den gailuaren amaierako egoera. Hala gertatzen da bi ekintza aldi berean gertatzea (sarrera biak 0 logikora pasatzea) ezinezkoa delako. Hortaz, Ora pasatzen R-a lehena bada, amaierako egoera 1 izango da; ordea, S-a bada lehena, egoera egonkorra 0a izango da. Sarrera biek 0 balioa hartuko balute aldi berean eta NOR atek berdinak izango balira, baldintza hipotetiko horretan bi sarrerak Q-ren kontrola lortzeko lehiaketan sartuko lirateke, eta egoera ozilatzen mantenduko litzateke. Errealitatean, aipatutako baldintzak ezinezkoak dira, eta beti sarreraren batek irabazten du, baina ezin da aurrez esan zein izango den. Hortaz,  $S=R=1$  sarrera debekatuta dago latch-a erabiltzen denean.



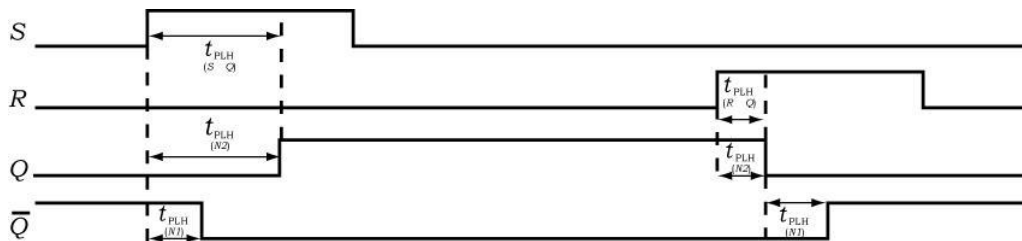
163. Irudia

163. Irudiaren kronograma garatzeko atek idealak direla suposatu da, baina errealitatean horrelakorik ez dagoenez, 164. Irudiaren kronograma garatu da ateen hedapenaren atzerapen-denborak kontuan izanda, eta horren azterketa egitera goaz.



164. Irudia

Begi bistakoa da zirkuituan parte hartzen duten ate guztien atzerapen-denborak zirkuituaren amaierako egoeran eragina dutela. Horren lagin adierazgarria 165. Irudian ikus daiteke. Izan ere,  $S$  sarrera 0tik 1era pasatzen denean,  $\bar{Q}$  0ra helduko da NOR  $N1$  atearen  $t_{PHL}$  atzerapen-denbora betetzen denean. Horren ostean,  $N2$ -ren  $t_{PLH}$ -a igaro behar da, berrelkatze-begiztaren bidez  $Q$  1 izan dadin. Laburbilduz, latch mota horietan  $\bar{Q}$  irteera  $Q$  irteera baino lehenago aldatzen da zirkuitua egonkortu aurretik.



165. Irudia

Jokaera berdina ikusten da latch-a reseteatzen denean. R sarrera 0tik 1era pasatzen denean, Q 0ra helduko da NOR N2 atearen  $t_{PLH}$  atzerapen-denbora betetzen denean. Horren ostean, N1-en  $t_{PLH}$ -a igaro behar da, berrelikatze-begiztaren bidez  $\bar{Q}$  1 izan dadin.

#### 4.1.6. SR-ren kitzikapen-taula eta ezaugarri-ekuazioa

Kitzikapen taulak laburbiltzen du memoria duen gailu baten funtzionamendu logikoa. Han adierazten dira gailuaren hurrengo egoera zein izango den kontuan izanda oraingo egoera eta kitzikapen-sarreraren une horretako balioa. Horren adibidea litzateke 166. Irudian ematen den RS latch-ari dagokion taula.

| Kitzikapen sarrerak |   | Oraingo egoera | Hurrengo egoera |                |
|---------------------|---|----------------|-----------------|----------------|
| S                   | R | Q              | Q*              |                |
| 0                   | 0 | 0              | 0               | Aldaketarik ez |
| 0                   | 0 | 1              | 1               |                |
| 0                   | 1 | 0              | 0               | Reset          |
| 0                   | 1 | 1              | 0               |                |
| 1                   | 0 | 0              | 1               | Set            |
| 1                   | 0 | 1              | 1               |                |
| 1                   | 1 | 0              | X               | Debekatua      |
| 1                   | 1 | 1              | X               |                |

166. Irudia

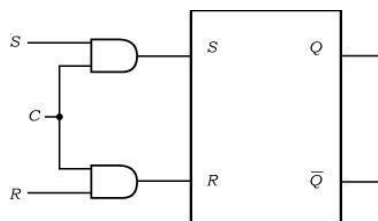
Oraingo egoeratik (Q) hurrengo egoerara (Q\*) trantsizioa gertatu behar den unean latch-aren sarrerek duten balioa adierazten dute S eta R zutabeek. Halaber, kitzikapen-taularen edukia K mapara eramaten bada, Q\*-ren adierazpen logikoa lortzen da, hots, SR latch-aren ezaugarri-ekuazioa:

$$Q^* = S + \bar{R}Q$$

#### 4.1.7. SR Latch atakekin

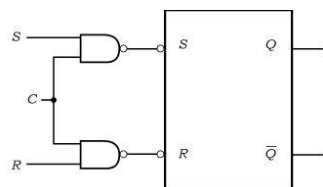
S eta R-ren balio berriek latch-ean noiz izan behar duten eragina kontrolatzen duen seinalea egotea ezinbestekoa da maiz. Izan ere, gomendagarria da balioa aldatzen

daudenean gailuan eraginik izan ez dezaten (inhibituta); hortaz, balio berria egonkortzen denean bakarrik pasa liteke haien balioa gailura. Funtzionamendu hori lortzeko, latch SR-ari bi AND-2 ate jar diezazkiokegu 167. Irudian egin den moduan.



**167. Irudia**

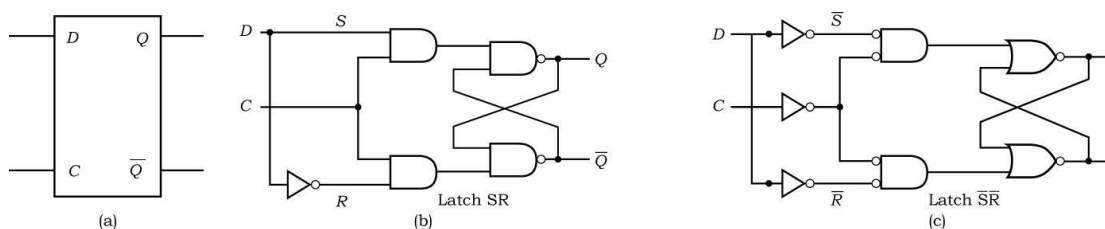
Han, nabaria da  $C = 1$  izan arte S eta R-ren balioa ez dela gailura helduko. Halaber, NAND-2 ateak erabil daitezke SR latch-aren sarrerak maila baxuan aktiboak baldin badira. Horrelako zirkuitua 168. Irudian erakusten da.



**168. Irudia**

#### 4.1.8. Atzerapena duen Latch-a: D Latch

Informazioa gordetzeko gaitasuna da sistema digitalen erabilera garrantzitsuenetariko bat. Izan ere, une batean sarreretan jarri den informazioa ondorengo edozein unetan berreskuratu ahal izatea ohiko ekintza da. Horretarako, 169. Irudian adierazi diren Delay latch-ak edo D latch-ak erabiltzen dira.



**169. Irudia**

169. Irudiaren b atala aztertuz ikusten da SR Latch atakekin gailuan oinarrituz D latch bat lor daitekeela. Izan ere, nahikoa da  $S=D$  eta  $R=\bar{D}$  egitea. Hala, latch hori aktibo dagoenenean, ( $C=1$ ) funtzionamendu bakarra 166. Irudiaren kitzikapen-taularen Set

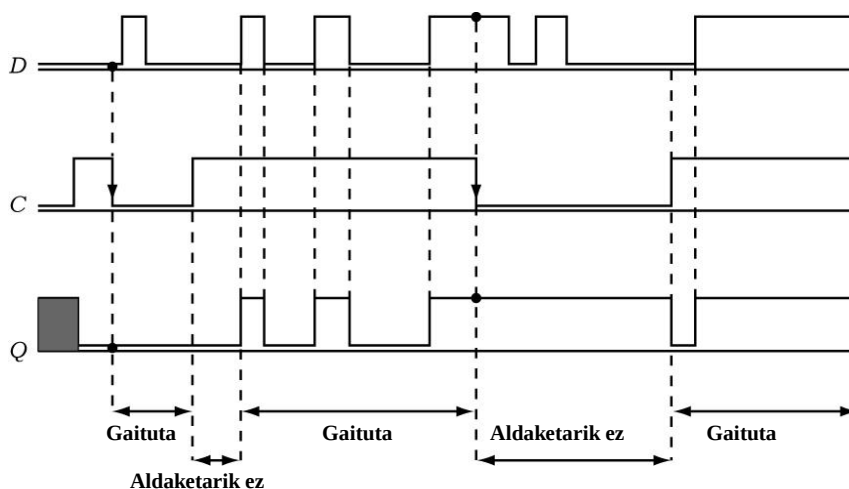
( $S=1$  eta  $R=0$ ) eta *Reset* ( $S=0$  y  $R=1$ ) egoerei dagokie. Halaber, NOR bidezko D latch-a gara daiteke, 169. Irudiaren c atalean egin den gisara.

Horiek horrela,  $S=D$  eta  $R=\bar{D}$  ordezkapenak egiten badira SR-ren ezaugarri-ekuazioan, D latch-aren ekuazioa lortzen da:

$$Q^* = DC + \bar{C}Q$$

Han, nabaria da hurrengo egoera eta sarrera berdinak direla ( $Q^*=D$ ) latch-a gaituta dagoenean ( $C=1$ ), eta ez gaituta dagoenean ( $C=0$ ) aldaketarik ez dela sumatzen ( $Q^*=Q$ ).

Aurreko paragrafoarekin bat datorren portaera 170. Irudian adierazten da



170. Irudia

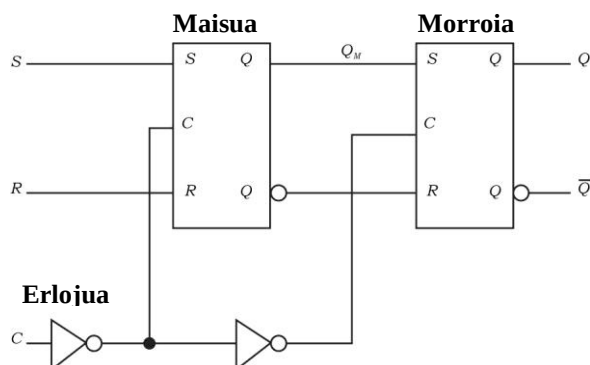
#### 4.2. Biegonkor sinkronoa: FLIP-FLOP

Latch-ak gaituta daudenean, nabaria da zirkuitu konbinazional moduan funtzionatzen dutela; izan ere, sarreretan gertatzen diren aldaketek berehala sorrarazten dituzte aldaketak irteeretan (derrigorrezko hedapenaren ostean, noski). Ondorioz, funtzionamendu sinkronoa lortu nahi izanez gero, zirkuitu horiek ez dira batere erabilgarri. Sinkronismoa da trantsizioak “antolatze” denborazko seinale bat zirkuituaren funtzionamendu egokia bermatzeko, hala nola, berrelikadura dela eta, jokaera ezegonkorak ezabatzeko, edo, hedapenaren denborak direla eta, seinaleen irakurketan gerta daitezkeen akatsak erdiesteko. Denborazko seinale horri erloju deritzogu (156. Irudian aurkeztua izan da), eta sistema baten errendimenduari eta kalitateri buruzko informazioa ematen du.



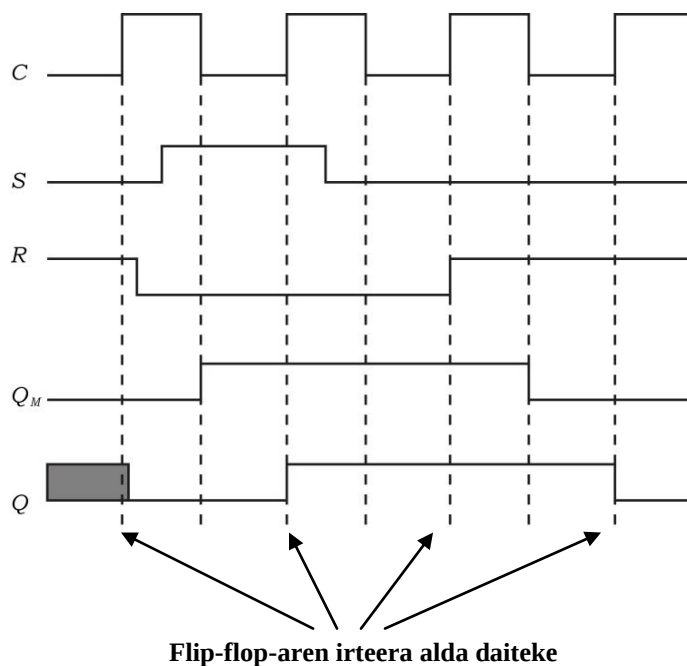
#### 4.2.1. Maisu/morro SR flip-flop-a

Bi latch kaskadan antolatzeari (171. Irudia) maisu-morro SR konfigurazioa deritzogu, eta azaldutako arazoak ezabatzeko irtenbide bat da.



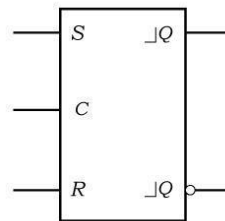
171. Irudia

Konfigurazio horretan, erlojuaren adierazpen osagarri biak eskuragarri daude, eta haietariko bakoitzak latch bat gaitzen du. Hortaz, erlojua maila baxuan dagoenean maisua gaitzen da (ataka), eta morroia ezgaituta geratzen da (atxikipena); erlojuak 1 balioa hartzen duenean, ordea, kontrako egoera gertatzen da. Ondorioz, erlojuaren egoera 0 denean, maisuak bereganatzen ditu sarreretan gertatzen diren aldaketak, eta ez dira ikusiko morroiaren irteeran hurrengo goranzko ertza (0etik 1era) heldu arte. Hartara, 172. Irudian agertzen den denborazko diagramak jokabide hori adierazten du.

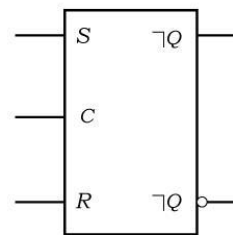


172. Irudia

Hori dela eta, esaten da maisu-morroi flip-flop-ak pultsu bitartez desarratzen direla; izan ere, pultsu osoa (bi trantsizio) behar dute irteera baliagarri izan dadin. Horren adierazpidea litzateke 173. Irudiaren ikur logikoa. Han, goranzko ertzarekin (0tik 1era) irteera eguneratzen dela adierazten da; 174. Irudian, ordea, beheranzko ertzarekin (1tik 0era) egiten da ekintza hori.



**173. Irudia**



**174. Irudia**

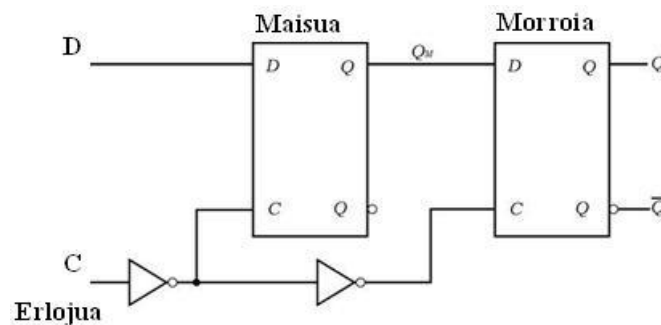
Ikus daike SR flip-flop-aren trantsizio-taula (175. Irudia) eta SR latch-aren trantsizio-taula berdinak direla. Funtzionamendu diferentzia bakarra da C erlojuaren pultsua osoa (alderantzikatua zein zuzena) burutu behar dela flip-flop-aren irteeran trantsizioa gerta dadin.

| Kitzikapen sarrerak |   | Oraingo egoera<br>Q | C | Hurrengo egoera<br>Q* |                |
|---------------------|---|---------------------|---|-----------------------|----------------|
| S                   | R |                     |   |                       |                |
| 0                   | 0 | 0                   |   | 0                     | Aldaketarik ez |
| 0                   | 0 | 1                   |   | 1                     |                |
| 0                   | 1 | 0                   |   | 0                     | Reset          |
| 0                   | 1 | 1                   |   | 0                     |                |
| 1                   | 0 | 0                   |   | 1                     | Set            |
| 1                   | 0 | 1                   |   | 1                     |                |
| 1                   | 1 | 0                   |   | X                     | Debekatua      |
| 1                   | 1 | 1                   |   | X                     |                |

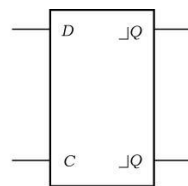
**175. Irudia**

#### 4.2.2. Maisu/morroí D flip-flop-a

Maisu/morroi flip-flop-a diseinatu da 176. Irudian aurreko atalaren filosofia jarraituz. Erloju-pultsuaren beheranzko ertzarekin, maisuak bereganatzen du D sarreran dagoen balioa, eta balio hori morroiaren irteeran agertuko da hurrengo goranzko ertzarekin. Horren adierazpidea litzateke 177. Irudiaren ikur logikoa. Han, goranzko ertzarekin (0tik 1era) irteera eguneratzen dela adierazten da.

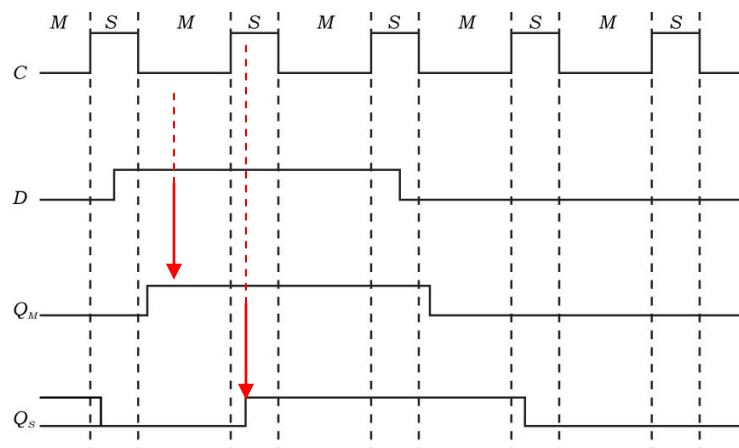


## 176. Irudia



### 177. Irudia

178. Irudian agertzen den denborazko diagramak flip-flop horren jokabidea adierazten du ateen hedapenaren atzerapen-denborak kontuan izanda.



## 178. Irudia

D flip-flop-aren trantsizio-taula 179. Irudian azter daiteke, eta D latch-aren trantsizio-taularekin konparatuz ondoriozta daiteke taula biak berdinak direla. Hala ere, flip-flop-aren irteeran trantsizioa gerta dadin C erlojuaren pulsu osoa burutu behar da.

| D | Q | C                                                                                 | Q* |
|---|---|-----------------------------------------------------------------------------------|----|
| 0 | 0 |  | 0  |
| 0 | 1 |  | 0  |
| 1 | 0 |  | 1  |
| 1 | 1 |  | 1  |

179. Irudia

#### 4.2.3. Maisu/morroir JK flip-flop-a

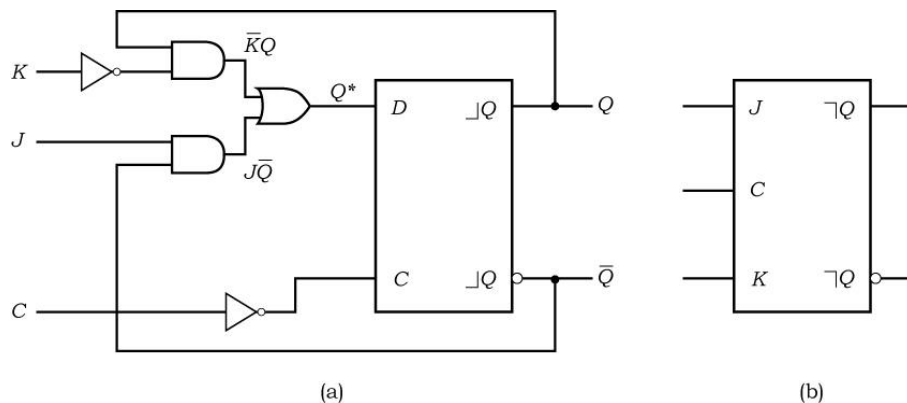
SR flip-flop-aren bilakaera izan daiteke JK flip-flop-a; izan ere,  $S = R = 1$  sarreraren aurrean duen jokaera izan ezik, SR flip-flop-aren jokaera berdina du sarreretan  $J = S$  eta  $K = R$  soilik eginez. SR flip-flop-aren kasuan ez bezala, non  $S = R = 1$  sarrera debekatuta dagoen,  $J = K = 1$  egoerak gailuaren irteera kulunkatu dadin egiten du, eta hori oso egoera erabilgarria da. Kulunkatze horrek esan nahi du irteeraren balioa  $Q = 0$  bada  $Q = 1$  izatera pasatuko dela ( $Q^* = 1$ ) eta,  $Q = 1$  bada  $Q = 0$  izatera pasatuko dela ( $Q^* = 0$ ).

180. Irudian agertzen den taulan JK flip-flop-aren lau jokabideak adierazten dira.

| Kitzikapen sarrerak |   | Oraingo egoera |                                                                                     | Hurrengo egoera |                |
|---------------------|---|----------------|-------------------------------------------------------------------------------------|-----------------|----------------|
| J                   | K | Q              | C                                                                                   | Q*              |                |
| 0                   | 0 | 0              |  | 0               | Aldaketarik ez |
| 0                   | 0 | 1              |  | 1               |                |
| 0                   | 1 | 0              |  | 0               | Reset          |
| 0                   | 1 | 1              |  | 0               |                |
| 1                   | 0 | 0              |  | 1               | Set            |
| 1                   | 0 | 1              |  | 1               |                |
| 1                   | 1 | 0              |  | 1               | Kulunkatzea    |
| 1                   | 1 | 1              |  | 0               |                |

180. Irudia

Halaber, D flip-flop-a oinarritzat hartuta, JK flip-flop-ari dagokion diagrama logikoa garatu da 181. Irudian, eta han ere adierazi da ikur logikoa (b atalean). Ikus daiteke D flip-flop-ak goranzko ertzarekin eguneratzen duela bere egoera; JK flip-flop-ak, ordea, beheranzko ertzarekin eguneratzen du.



181. Irudia

#### 4.2.4. Trantsisioz desarratzen diren flip-flop-ak

Aztertu diren flip-flop-ak, maisu-morroii hain zuzen ere, egoki funtzionatzeko, erlojuaren bi trantsizio behar direla ageri da, hots, erlojuaren pulstu osoa. Halaber, badira erlojuaren goranzko zein beheranzko trantsizioetan egoera aldatzen duten flip-flop-ak. Hala 0tik 1erako erlojuaren aldaketaren ondoren gailuak erantzuna ematen badu, trantsizio positiboarekin desarratzen dela esan ohi da. Hala, 1etik 0rako erlojuaren aldaketarekin erantzuna lortzen bada, trantsizio negatiboarekin desarratzen dela esango da. Portaera horren ondorioz, kitzikapen-seinaleak flip-flop-aren sarreretan egonkor mantendu behar diren denbora-tartea erabat murrizten da.

Goranzko trantsizioarekin edo ertzarekin desarratzen den D flip-flop baten adibidea erakusten da 182. Irudian.

| PRE | CLR | D | CLK | Q     | $\bar{Q}$   |
|-----|-----|---|-----|-------|-------------|
| L   | H   | X | X   | H     | L           |
| H   | L   | X | X   | L     | H           |
| L   | L   | X | X   | H     | H           |
| H   | H   | H | ↑   | H     | L           |
| H   | H   | L | ↑   | L     | H           |
| H   | H   | X | L   | $Q_0$ | $\bar{Q}_0$ |

182. Irudia

#### 4.2.5. Trantsisioz desarratzen den T flip-flop-a

Lerro batean pultsuak zenbatzeko oso arrunta den gailua T flip-flop-a da, eta izen bat baino gehiago du, hala nola trigger, toggle, desarratze edo alternantzia. Gailu horrek kitzikapen-sarrera bakarra du, eta seinale jakin batekin bere egoera aldatzen du; izan ere, seinale horren edozein trantsizio edo ertzarekin irteeraren balioa txandakatzen edo aldatzen du. Seinale hori, T kitzikapen-seinale bera izan daiteke (35. Taulan adierazten da funtzionamendua, eta trantsizioz desarratu izenarekin ezagutzen da), edo baita erloju-seinale bat ere (35. Taulan adierazten da funtzionamendua). Azken kasu horretan, aktibazio-seinalea (T) aktibatuta dagoenean ( $T = 1$ ) gailua gaituta egongo da, hots, irteeraren balioa aldatuko da erlojuaren behearanzko ertzarekin.

| T | Q | Q* |
|---|---|----|
| ↓ | 0 | 1  |
| ↓ | 1 | 0  |

(a)

| C | T | Q | Q* |
|---|---|---|----|
| ↓ | 0 | 0 | 0  |
| ↓ | 0 | 1 | 1  |
| ↓ | 1 | 0 | 1  |
| ↓ | 1 | 1 | 0  |

(b)

### 35. Taula

#### 4.2.6. Sarrera asinkronoak

Kitzikapen-sarrera eta sinkronizazio-sarrerak ez ezik, sarrera independenteak dituzte gailu logikoek. Sarrera horiek aktibatu eta berehala eragina dute zirkuituaren egoeran, hots, asinkronikoki lan egiten dute eta ez dute erloju seinalerik behar. *Preset* eta *Clear* sarrerak horietariko bi seinale dira, eta, 36. Taulan ikus daitekeenez, maila baxuan dira aktiboak.

| PRE | CLR | CLK | S | R | Q* |
|-----|-----|-----|---|---|----|
| 0   | 0   | X   | X | X | -  |
| 0   | 1   | X   | X | X | 1  |
| 1   | 0   | X   | X | X | 0  |
| 1   | 1   | 0   | X | X | Q  |
| 1   | 1   | ↑   | 0 | 0 | Q  |
| 1   | 1   | ↑   | 0 | 1 | 0  |
| 1   | 1   | ↑   | 1 | 0 | 1  |
| 1   | 1   | ↑   | 1 | 1 | -  |

### 36. Taula

#### 4.3. Atakak dituzten latch-en denborazko parametroak

Atakak dituen latch baten funtzionamendu egokia ziurtatzeko, sarrera-seinaleek bete behar dituzten denborazko balio maximo eta minimoak aztertuko dira atal honetan.

*Set-up* denbora (ezarrera) ( $t_S$ ): gailuaren gaitze-seinalearen ertza heldu aurretik sarreretan maila logikoa konstante mantendu behar den denbora minimoa.

*Hold* denbora (mantentze) ( $t_H$ ): gailuaren gaitze-seinalearen ertza gertatu ostean sarreretan maila logikoa konstante mantendu behar den denbora minimoa.

*Gaitze-seinalearen zabalera* ( $t_W$ ) pultsuaren zabalera minimoa adierazten du.

*Hedapenaren atzerapen denborak* ( $T_P$ ): sarrera-aldaketak irteeran sortzen duen eragina agertu arte pasatu behar duen denbora. Egoera hauek bereizten dira:

$T_{PHL}$ : maila altutik maila baxura iragateko irteerak behar duen denbora sarreran aldaketa gertatu zenetik.

$T_{PLH}$ : maila baxutik maila altura iragateko irteerak behar duen denbora sarreran aldaketa gertatu zenetik.

#### 4.4. Flip-flop-en denborazko parametroak

Flip-flop baten funtzionamendu egokia ziurtatzeko, sarrera-seinaleek bete behar dituzten denborazko balio maximo eta minimoak aztertuko dira atal honetan.

*Set-up* denbora (ezarrera) ( $t_S$ ): erloju-pultsuaren desarra-ertza heldu aurretik sarreretan maila logikoa konstante mantendu behar den denbora minimoa.

*Hold* denbora (mantentze) ( $t_H$ ): erloju-pultsuaren desarra-ertza gertatu ostean, sarreretan maila logikoa konstante mantendu behar den denbora minimoa.

*Erlojuaren maiztasun maximoa* ( $f_{MAX}$ ): flip-flop-a desarratu daitekeen abiadurarik handiena egoki funtziona dezan.

*Erloju-pultsuaren zabalera* maila altuan ( $t_{W(H)}$ ): erloju-seinalearen tarte positiboak izan behar duen zabalera minimoa.

*Erloju-pultsuaren zabalera* maila baxuan ( $t_{W(L)}$ ): erloju-seinalearen tarte negatiboak izan behar duen zabalera minimoa.

*Preset* edo *clear* pultsuen zabalera maila baxuan ( $t_{W(L)}$ ): seinale asinkronoek gailuan eragina izan dezan izan behar duten zabalera minimoa maila aktiboan daudenean.

*Berreskuratze*-denbora ( $t_{rec}$ ): sarrera asinkronoak desgaitzen direnetik erlojuaren ertz aktiboa heldu arte iragan behar duen denbora.

*Hedapenaren atzerapen-denborak* ( $T_p$ ): erloju-pultsuaren desarra-ertza heltzen denetik sarreraren balioak irteeran sortzen duen eragina agertu arte pasatu behar duen denbora. Egoera hauek bereizten dira:

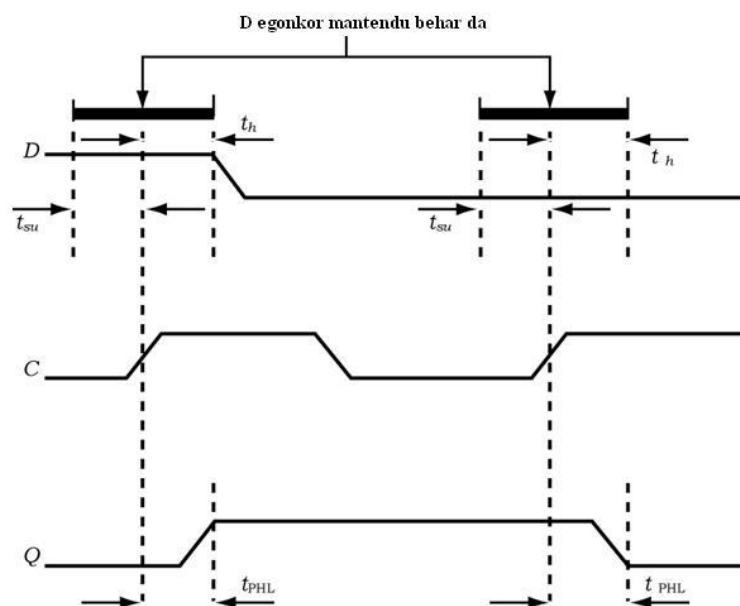
$T_{PHL}$ : irteerak maila altutik maila baxura iragateko behar duen denbora erloju-pultsuaren desarra-ertza eman zenetik.

$T_{PLH}$ : irteerak maila baxutik maila altura iragateko behar duen denbora erloju-pultsuaren desarra-ertza eman zenetik.

$T_{PLH}$ : irteerak maila baxutik maila altura iragateko behar duen denbora *preset* sarrera asinkronoa gaitu zenetik.

$T_{PHL}$ : irteerak maila altutik maila baxura iragateko behar duen denbora *clear* sarrera asinkronoa gaitu zenetik.

*Texas Instruments* SN7474 flip-flop-ari dagozkion denborazko parametroak grafiko honetan adierazten (183. Irudian) dira:



183. Irudia



Halaber, gailu horri dagozkion atzerapen-denborak eta denborazko baldintzak 37. Taulan eta 38. Taulan laburbildu dira, hurrenez hurren.

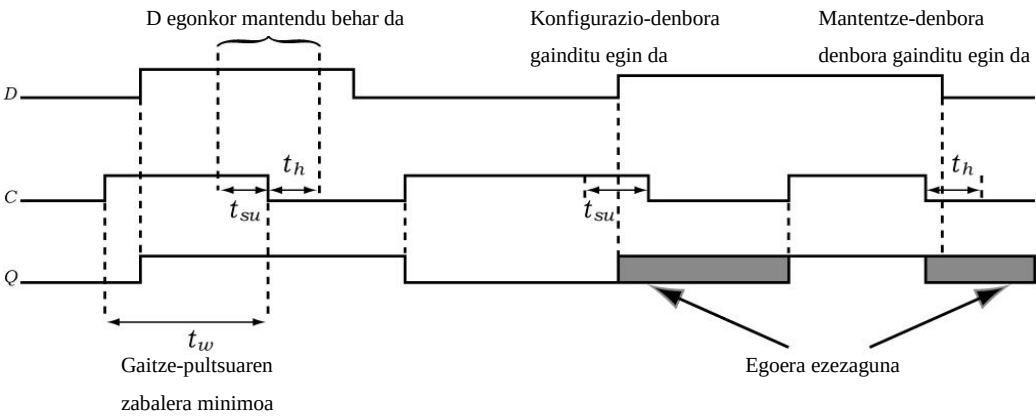
| Noiztik baliogarria den Q irteera | Atzerapen-parametroa | Balioa (ns) |
|-----------------------------------|----------------------|-------------|
| Erlojua                           | $t_{PLH}$            | 25          |
|                                   | $t_{PHL}$            | 40          |
| PRE                               | $t_{PLH}$            | 25          |
|                                   | $t_{PHL}$            | 40          |
| CLR                               | $t_{PLH}$            | 25          |
|                                   | $t_{PHL}$            | 40          |

37. Taula

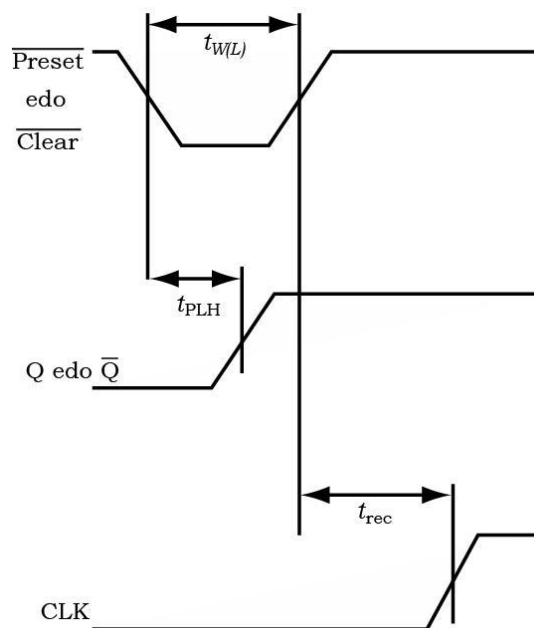
| Sarrera-hankatxoa | Murrizpena  | Balio minimoa (ns) |
|-------------------|-------------|--------------------|
| D                 | $t_{su}$    | 20                 |
| D                 | $t_h$       | 5                  |
| Erlojua           | $t_w$ baxua | 30                 |
| Erlojua           | $t_w$ altua | 37                 |
| CLR               | $t_w$ baxua | 30                 |
| PRE               | $t_w$ altua | 30                 |

38. Taula

Bestalde, 185. Irudian pultsu-zabaleraren kontzeptua ematen da, eta 185. Irudian seinale asinkronoen hedapenaren atzerapen-denborak azter daitezke.



184. Irudia



185. Irudia

#### 4.5. Latch eta flip-flop-en ezaugarrien laburpena

Seinaleak hartzeko eta gordetzeko erabiltzen dira nagusiki latch zirkuituak. Adibidez, RS latch-ak R eta S sarreretan agertzen diren pulsu aleatorioak beti harrapatzen ditu, pulsu horiek berehala gaitzen edo ezgaitzen baitute latch-a. Atakak dituen latch-ak, ordea, egoera gaituta dagoenean soilik aldatzen du. Hala, gaitze-pulsa heldu aurretik egonkortu diren datuak harrapatzen ditunez, sarreran ager daitezkeen alterazio iragankorrak (zaratak) iraz ditzake.

Bestalde, flip-flop-en erabilera ezinbestekoa da erloju-seinale batekin sinkronizatu behar direnean zirkuituaren aldaketak. JK eta D flip-flop-ak dira erabilienak: RS flip-flop-ak, ordea, gutxitan ikusten dira halako zirkuituetan. Izan ere, SR flip-flop-ak debekatuta duen sarrerarekin ( $S = R = 1$ ) JK flip-flop-ak *kulunkatze*- egoera onartzen duenez, SR-ren ordezkari JK erabiltzen da. Halaber, kontuan izateko dira T flip-flop-en erabilera kontagailuen diseinuetan.

Zirkuitu sekuentzialak diseinatzeko oinarri izango diren biegonkor horien ezaugarri-ekuazioak 39. Taulan adierazi dira.

|                                     |                                            |
|-------------------------------------|--------------------------------------------|
| SR latch                            | $Q^* = S + \overline{R}Q$                  |
| Atakak dituen SR latch              | $Q^* = SC + \overline{Q}R + \overline{C}Q$ |
| D latch                             | $Q^* = DC + \overline{C}Q$                 |
| SR flip-flop                        | $Q^* = S + \overline{R}Q$                  |
| D flip-flop                         | $Q^* = D$                                  |
| JK flip-flop                        | $Q^* = J\overline{Q} + \overline{K}Q$      |
| T flip-flop (trantsizioz desarratu) | $Q^* = \overline{Q}$                       |
| T flip-flop (erlojuarekin)          | $Q^* = T\overline{Q} + \overline{T}Q$      |

### 39. Taula

#### 4.6. Biegonkorren funtzionamendua adierazteko moduak

Biegonkorren funtzionamendua deskribatzeko, ezaugarri-ekuazio logikoa ez ezik, *kitzikapen-taula* eta *egoeren diagrama* erabili ohi dira. Kitzikapen-taulan (40. Taula) bi alde bereizi daitezke. Batetik, egoera bakoitzeko (Q) kitzikapen-aldaiaiek har ditzaketen balio posible guztiak; bestetik, konbinazio horien guztien aurrean biegonkorrak lortuko duen egoera (hurrengo egoera:  $Q^*$ ). 41. Taulan informazio bera eskuragarri dago beste modu batean adierazita.

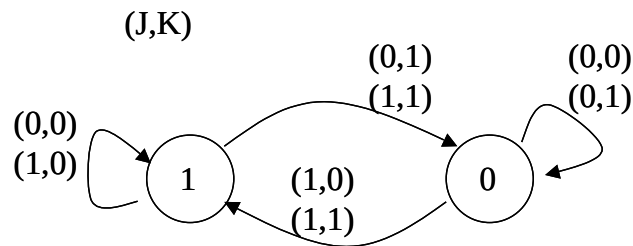
| J | K | Q | Q* |
|---|---|---|----|
| 0 | 0 | 0 | 0  |
| 0 | 0 | 1 | 1  |
| 0 | 1 | 0 | 0  |
| 0 | 1 | 1 | 0  |
| 1 | 0 | 0 | 1  |
| 1 | 0 | 1 | 1  |
| 1 | 1 | 0 | 1  |
| 1 | 1 | 1 | 0  |

### 40. Taula

| Q | Q* | J | K |
|---|----|---|---|
| 0 | 0  | 0 | X |
| 0 | 1  | 1 | X |
| 1 | 0  | X | 1 |
| 1 | 1  | X | 0 |

### 41. Taula

*Egoeren Diagraman*, zirkuituaren egoera posibleak (Q) zirkulu baten bidez adierazten dira, eta egoera batetik beste baterako trantsizioa gezi baten bitartez. Trantsizio hori sorrarazi duten sarreraren balioa geziaren gainean jarri behar da. JF flip-flop-ari dagokion egoeren diagrama 186. Irudian marraztu da. Zirkuituak bi egoera ditu, 1 eta 0; beraz, bi zirkulu adierazi dira, eta trantsizio bakoitzean (gezi bakoitzean) bi sarrera-konbinazio posible ikus daitezke.



**186. Irudia**