

I_{i+1}	a_i	b_i	$¿a_i < b_i?$	I_i
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

$¿a_i < b_i? = 1$, bi ai baino handiagoa

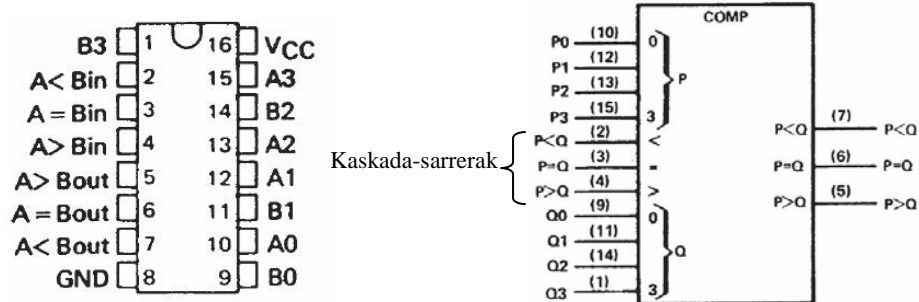
$I_i = 1$, bereizketa eginda dago

$$¿a_i < b_i? = \overline{I_{i+1}} \cdot \overline{a_i} \cdot b_i$$

$$I_{i+1} = \overline{I_i} (a_i \oplus b_i)$$

97. Irudia

96. Irudian azaldu den zirkuitu konparadorea garatzeko, bi bit soilik konparatzen dituzten zirkuituak elkarrekin konektatu behar dira. Halaber, A eta B zenbakiak konparatzen dituen zirkuituarekin erabat bukatzeko, zenbakirik handiena adierazten duen irteera eskuragarri utzi behar da. Hortaz, 98. Irudian bi baldintza horiek betetzen dituen zirkuitu konparadorea garatu egin da.

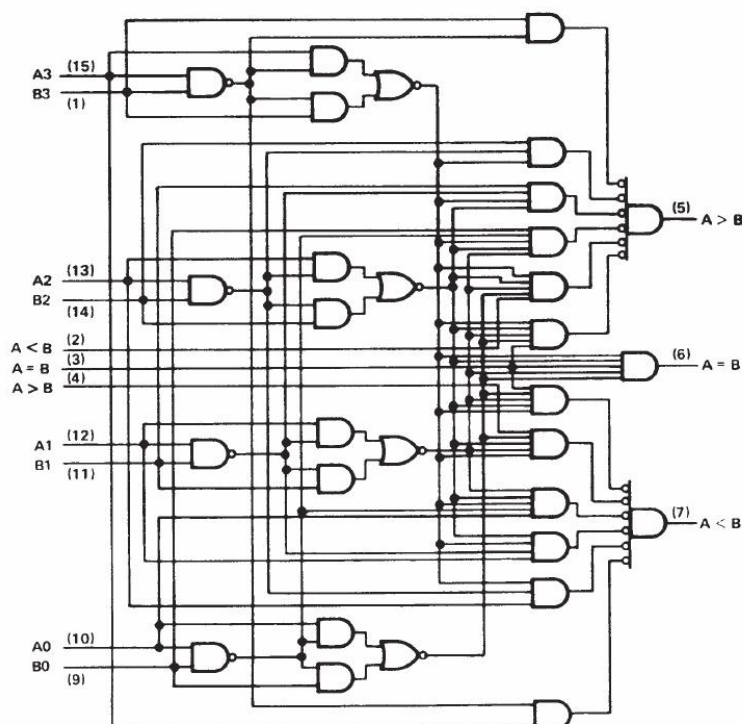


99. Irudia

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

100. Irudia

Zirkuituari dagokion diagrama logikoa 101. Irudian azter daiteke.



101. Irudia

4.3. VHDL Deskribapena

```
library ieee;
use ieee.std_logic_1164.all;
entity konparadore is port(
a, b: in std_logic_vector(1 downto 0);
aurre_handi ago: in std_logic;
aurre_txi ki ago: in std_logic;
aurre_berdi n: in std_logic
handi ago: out std_logic;
txi ki ago: out std_logic;
berdi n: out std_logic);
end konparadore;
1  architecture archikonparadorea of konparadorea is
2  begin
3  process (a, b, aurre_berdi n, aurre_handi ago,
4  aurre_txi ki ago)
5  begin
6  if aurre_berdi n = '0' then berdi n <= aurre_berdi n;
7  handi ago <= aurre_handi ago;
8  txi ki ago <= antes_me
9  aurre_txi ki ago nor;
10 elsif aurre_berdi n = '1' then
11   if a > b then handi ago <= '1';
12   txi ki ago <= '0';
13   berdi n <= '0';
14   elsif a < b then handi ago <= '0';
15   txi ki ago <= '1';
16   berdi n <= '0';
17   elsif a = b then handi ago <= '0';
18   txi ki ago <= '0';
19   berdi n <= '1';
20   end if;
21 end if;
end process;
end archikonparadorea;
```