

1. Zirkuitu digital konfiguragarriak

Zirkuitu digital bat osatzen duten osagaiak aldatuz edo/eta osagaien arteko konexioak aldatuz zirkuitu digital horren funtzioa berregin badaiteke, esan dezakegu zirkuitu konfiguragarria dugula.

1.1. Zirkuitu digital integratu normalizatuen sailkapena

Zirkuitu digitalak bi multzotan banatu daitezke:

Alde batetik, funtzioa aldaezina duten zirkuituak daude, eta haien ezaugarriak puntu hauetan laburbil daitezke:

- Funtzio jakin eta arruntak garatzen dituzte: batuketa, konparazioa, ...
- Funtzioa aldaezina da.
- SSI, MSI eta LSI sailkapenetan aurkitu daitezke.

ASIC (Application-Specific Integrates Circuits) izeneko zirkuituak ere talde horretan sartzen dira. ASIC zirkuitua funtzio konplexu espezifikoa edo jakin bat betetzeko garatzen den zirkuitu berezia da.

Bestalde, funtzioa programagarria duten zirkuituak daude, eta haien ezaugarriak puntu hauetan laburbil daitezke:

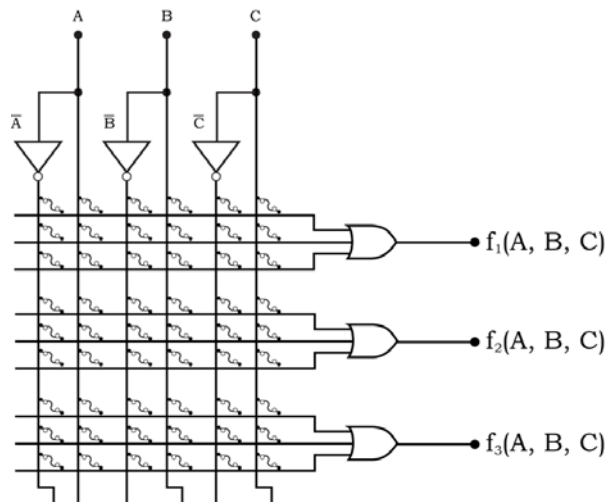
- Barne-egitura, era berean, finkoa eta konfiguragarria dute, hau da, erabiltzaileak ezin du aldatu haien egitura fisikoa; osteraz, sistema fisikoa osatzen duten elementuen arteko konexioak alda ditzake.
- Merkeak eta fidagarriak dira.

1.2. Zirkuitu konfiguragarrien sailkapena egituraren arabera

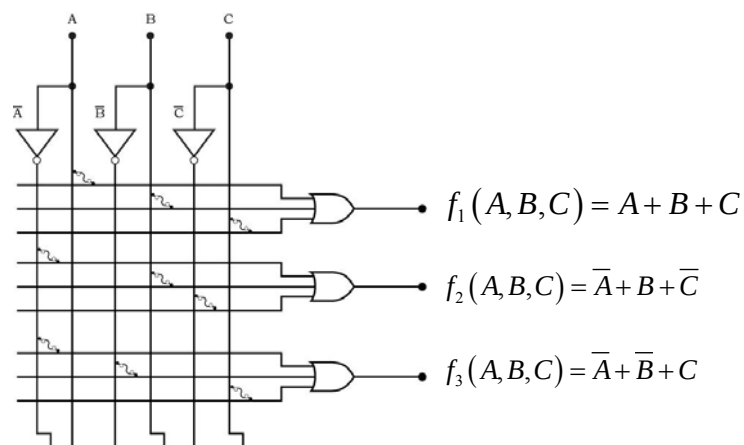
Zirkuitu konfiguragarriaren barne-egituraren arabera, bi talde bereiz daitezke: Antolamendu matriziala dutenak (Programmable Logic Devices edo gailu logiko programagarriak, PLD deritzogunak), eta ate multzo konfiguragarriak dituztenak (*Field Programmable Gate Array*, FPGA, deritzogunak).

1.3. Gailu logiko programagarriak (PLDak)

Aipatu denez, antolamendu matriziala dute; hortaz, errenkada eta zutabetan ordenatutako eroale-sarea da. Zutabe eta errenkaden arteko lotunetan “fusible” bat dute (64. Irudia) ate logikoen sarrerak definitzeko (65. Irudia); izan ere, matrize horiek AND edo OR ateetara konektatua daude. Esan bezala, ate logikoen sarrerak definitzeko, erabilgarri ez diren sarrerei dagokien “fusiblea” “erre” besterik ez da behar.



64. Irudia



65. Irudia

“Fusible” delakoa hiru motatakoa izan daiteke:

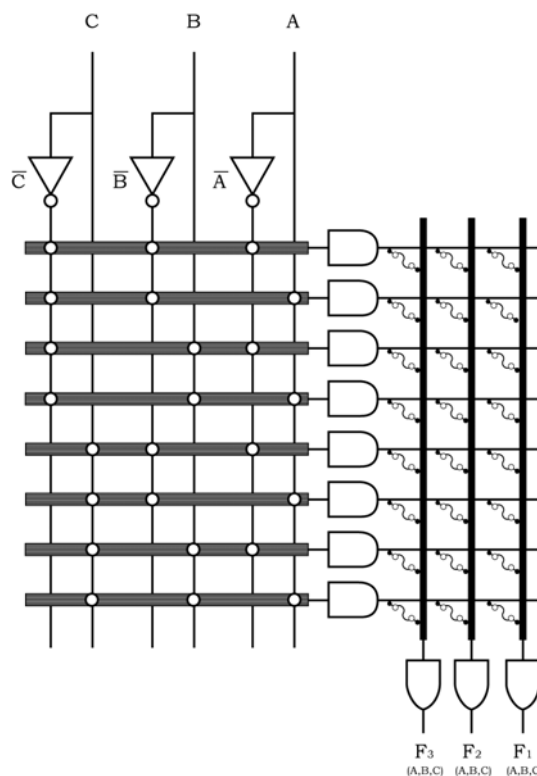
- **PROM Zelulak:** Behin bakarrik programatu daitezkeen CMOS edo teknologia bipolarraz fabrikatzen diren zirkuituak dira, eta OTP (One Time Programmable) izenarekin ezagutzen dira.

- **EPROM edo EEPROM Zelulak:** ECMOS edo E2CMOS teknologiaz garatutako ate higikorra duten transistoreez fabrikatutako zirkuituak dira. Erradiazio ultramorea edo pultsu elektrikoak erabiliz ezaba daitezke.
- **SRAM Zelulak:** RAM memoria estatikoz osaturiko zirkuituak dira, hots, lurrunkorrak, eta sistema-zirkuituan bertan birprogramagarriak dira (In Circuit).

PLD gailuen artean, beste sailkapen bat egin daiteke barne-egituraren arabera, hau da, barne-matrize horien egituraren arabera. Aukerak hauek dira:

PROM egitura: *Programmable Read Only Memory*

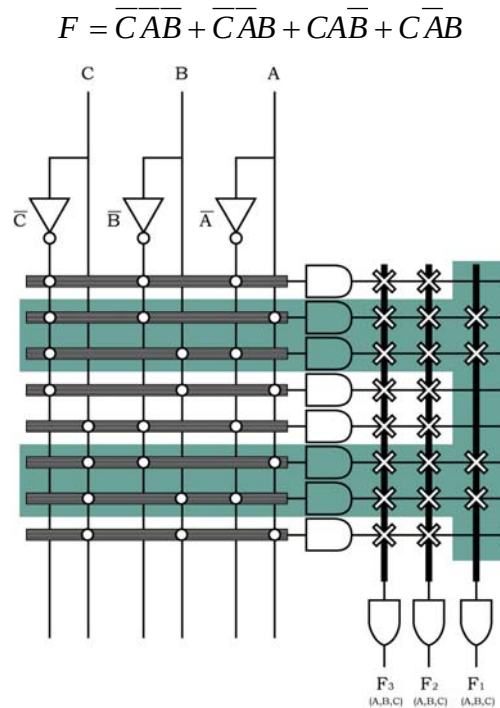
Barne-egituraren antolakuntza da, AND matrize aldaezina, eta OR matrize programagarria 66. Irudian ageri den moduan. Hortaz, matrize programagarriaren errenkada eta zutabeak gurutzatzen diren puntuetan zelda programagarria dago. Zelda horiek PROM modukoak dira; izan ere, diodoa eta fusiblea seriean jarria dute.



66. Irudia

PROM egituraren abantaila sarrera-konbinazioak dekodetzen da, hots, n sarrera erabiltzeko 2^n deskodegailu behar da. Hori dela eta, ezinezkoa da sarrera kopuru handia duen zirkuitu batean erabiltzea, deskodegailuaren tamaina lortzea ezinezkoa bailitzateke.

67. Irudian F funtzioa garatzeko programazioa azter daiteke:



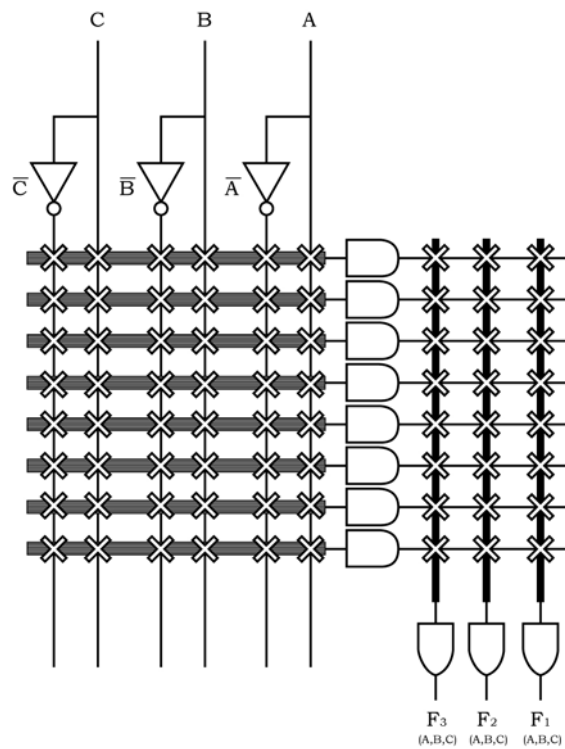
67. Irudia

non “fusiblea”, edo sarrera erabilgarria, gurutze batekin adierazi den, eta “fusible errea” gurutzerik gabe.

PLA egitura: *Programmable Logic Array*

Barne-egituran bi matrize programagarri aurkitu datiezk, 68. Irudian ikus daitekeen moduan. Haietariko bat AND ateen sarrerak definitzeko erabiltzen da, eta bestea OR ateenak definitzeko. AND ateei dagokien matrizea programagarria denez, sarrera kopurura handitu daiteke AND matrizearen tamaina handitu gabe. Hori dela eta, programazioa konplexuagoa izango da, bi matrizeak programagarriak baitira. Aitzitik, eskuragarri dauden baliabideak hobeto aprobetxa daitezke, irteera batentzako programatutako biderkadura beste irteera batentzako erabilgarria da eta. Alabaina, konexio-programagarrien kopurua handiagoa denez, programazio-denbora handitu egiten da.

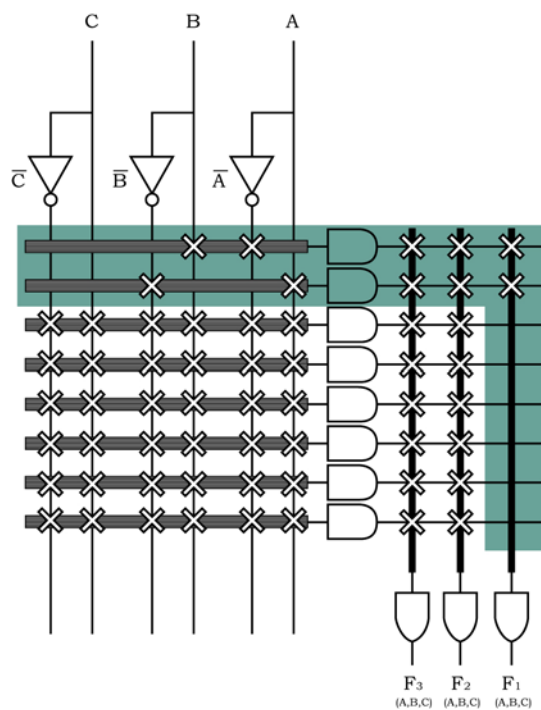
Egitura hori duten gailuak FPLA (Field Programmable Logic Array) izenarekin ere ezagutzen dira.



68. Irudia

69. Irudian, F funtzioa garatzeko programazioa azter daiteke

$$F = \bar{A}B + A\bar{B}$$

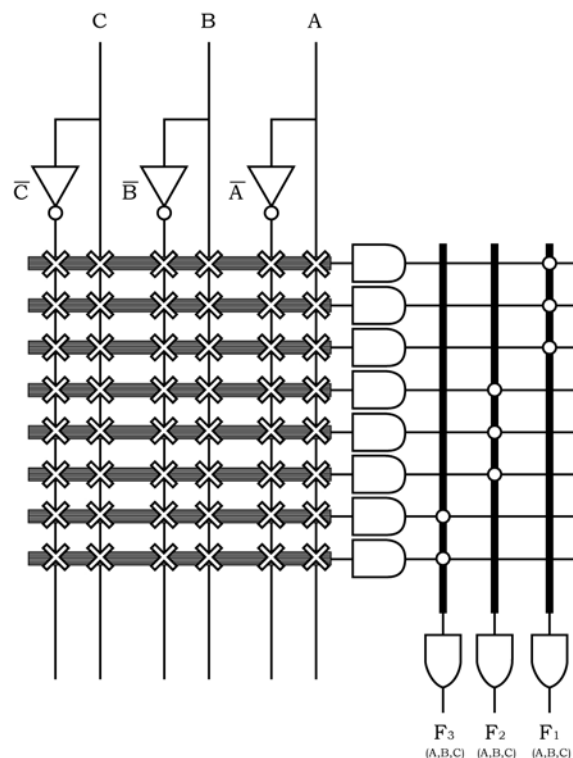


69. Irudia

PAL egitura: *Programmable Array Logic*

Barne-egituran AND matrize programagarria eta OR matrize finkoa aurkitu daitezke, 70. Irudian ikus daitezkeen moduan. Matrize programagarriaren lotunetan erabiltzen den “fusiblea” teknologia bipolarrez egindakoa da (TTL edo ECL); beraz, *One Time Programmable* (OTP).

Matrize bakar bat programagarria denez, erraz programatzen dira. Horrez gain, merkeak dira, eta hedapenaren abiadura handia dute.

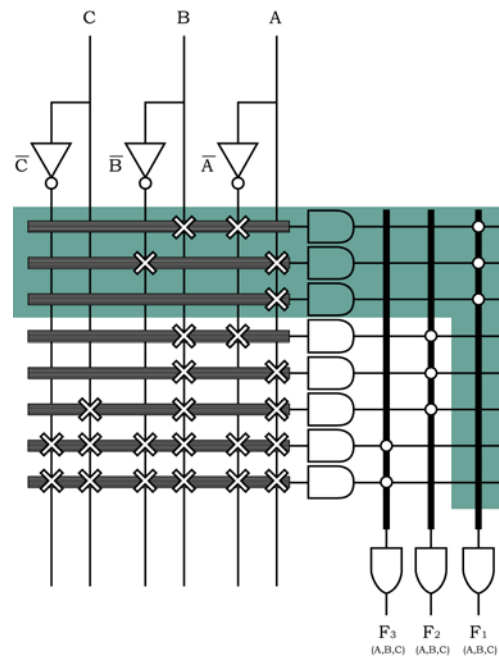


70. Irudia

Bestalde, irteera-funtzioak osatzen dituzten gaietako bat berdina bada, gai hori behin programatzen denean, beste funtzio logiko bat osatzeko ezin da berrerabili, eta berriro programatu beharko litzateke. Hortaz, egitura logikoaren eraginkortasuna txikia da. Ezaugarri hori 71. Irudian garatu den adibidean azter daitezke, F_1 eta F_2 funtzioak direla medio:

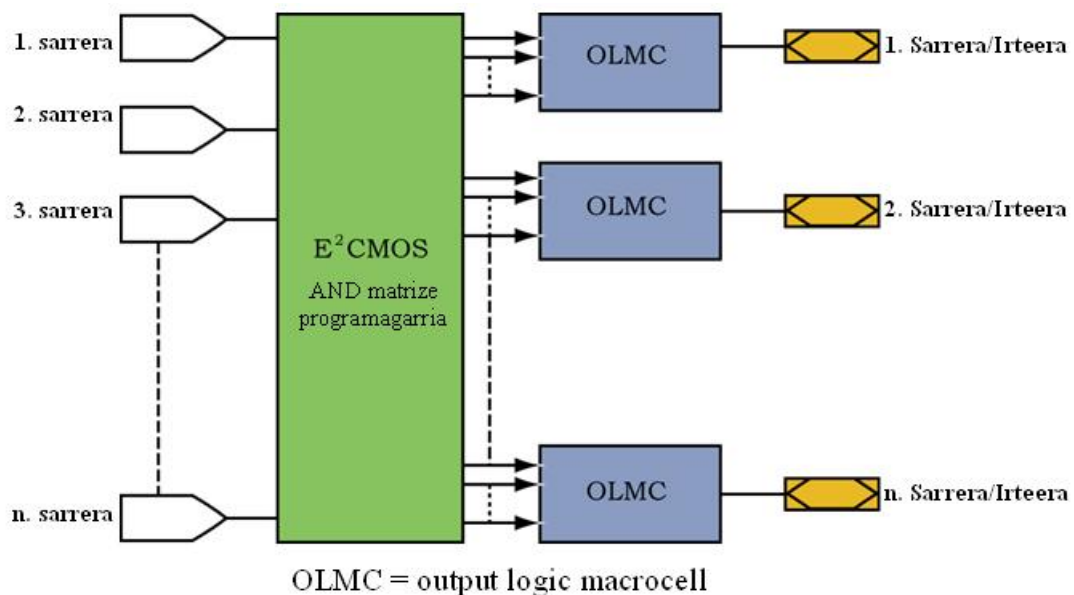
$$F_1 = \overline{A}B + A\overline{B} + CBA$$

$$F_2 = \overline{A}B + AB + CBA$$



71. Irudia

PAL egituraren barnean, GAL egitura aipatu beharra dago; izan ere, PAL egituraren bilakaera da. Bilakaera hori bi ezaugarritan datza. Alde batetik, irteera programagarria dute; bestalde, AND matrizearen “fusibleak” E2CMOS teknologiaz eginda daudenez, birprogramagarriak dira. 72. Irudian adierazi dira ezaugarri horiek.



72. Irudia

Aurreko ateletan azaldutako gailuekin konparatuz, barne-egitura erabat ezberdina da eta oso konplexua. AND/OR matrizeak erabili beharrean, bloke logiko konfiguragarriak ditu. Zirkuitu handiak programatzeko erabiltzen dira.