

9. Teknologia ezberdinen arteko interfazeak

Teknologia ezberdineko atea elkarrekin lotzeko bete beharreko baldintzak aztertuko dira atal honetan, baita lotura horiek bideratzeko erabil daitezkeen interfazeak ere. Hortaz, ateen tentsio eta korronteen balioak aztertuko dira lotura bateragarria den ala ez ondorioztatzeko.

CMOS-TTL konexioa:

Tentsioen bateragarritasunaren azterketa:

- $V_{OH(min)} \text{ CMOS} = 4,9 \text{ V}$ eta $V_{IH(min)} \text{ TTL} = 2 \text{ V}$; beraz, maila altuan arazorik ez.
- $V_{OL(max)} \text{ CMOS} = 0,1 \text{ V}$ eta $V_{IL(max)} \text{ TTL} = 0,8 \text{ V}$; beraz, maila baxuan arazorik ez.

Korronteen -bateragarritasunaren azterketa:

- $I_{OL(max)} \text{ CMOS} = 4 \text{ mA}$ eta $I_{IL(max)} \text{ TTL} = 1,6 \text{ mA}$; beraz, CMOSaren fan-out-a 2 TTL ate da ($2 \cdot 1,6 \text{ mA} = 3,2 \text{ mA}$). Gainerako TTL serieekin analisi bera egiten bada:

$$\text{TTL LS atea kitzikatzeko, } I_{IL(max)} = 400 \mu\text{A} \Rightarrow \text{fan-out} = 10$$

$$\text{TTL S atea kitzikatzeko, } I_{IL(max)} = 2 \text{ mA}, \Rightarrow \text{fan-out} = 2$$

$$\text{TTL AS atea kitzikatzeko, } I_{IL(max)} = 2 \text{ mA}, \Rightarrow \text{fan-out} = 2$$

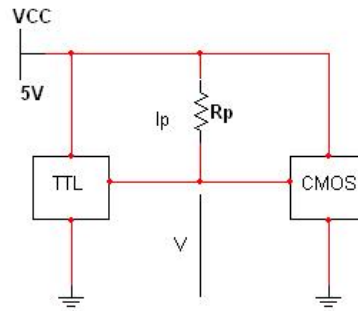
CMOS-TTL loturaren kasuan tentsio-mailak bateragarriak direnez, ondoriozta daiteke ez dela interfazerik behar. Bestalde, fan-out-aren balioa bete behar da zirkuituaren funtzionamendu egokia ziurtatzeko.

TTL-CMOS konexioa

Tentsioen bateragarritasunaren azterketa:

- $V_{OH(min)} \text{ TTL} = 2,4 \text{ V}$ eta $V_{IH(min)} \text{ CMOS} = 3,15 \text{ V}$; beraz, CMOS sarreran maila altua lortzeko, TTL atea ez du tentsio nahikorik ematen.
- $V_{OL(max)} \text{ TTL} = 0,4 \text{ V}$ eta $V_{IL(max)} \text{ CMOS} = 1 \text{ V}$; beraz, maila baxuan arazorik ez dago.

Nabaria da TTL-CMOS loturan CMOS atearen sarreran tentsioa handitzen duen nolabaiteko interfazea behar dela. Aukera bat pull-up (R_p) erresistentzia jartzea da, 59. Irudian egin den moduan, hots, V_{cc} -ra konekatuta.



59. Irudia

Orduan, $V_{cc} = R_p I_p + V_{OH}$ izango da. Helburua V_{OH} handitzea denez, $R_p I_p$ gaia ahalik eta txikien egitea interesgarria litzateke. Hala ere, txikitze hori maila baxuan aztertzen bada ($V_{cc} = R_p I_p + V_{OL}$), mugak daudela ohartzen gara. Hala, $R_p I_p$ txikiegia izango balitz, V_{OL} -k V_{OLMAX} gainditu lezake. Hortaz, $R_p I_p$ -ren balioa definitzeko, baldintza mugatzailea maila baxuan aurkitzen da. Azalpen horiek biltzen dituzten ekuazioak hauek dira:

$$a) V_{cc} = R_p I_p + V_{OLMAX}$$

$$b) I_{OL(TTL)MAX} = n I_{IL(CMOS)} + I_{Rp}$$

eta orduan, R_p -ren balioa:

$$R_p = \frac{V_{cc} - V_{OL(max)}}{I_{OL(TTL)max} - n I_{IL(CMOS)}}$$

Non n kitzikatu behar diren CMOS sarrera-kopurua den.