

6. Lan-ezaugarriak eta oinarrizko parametroak

6.1. Maila logikoak

Ateen maila logikoak aurreko ataletan definitu diren parematroekin mugatzen dira.

Balio orientagarriak hauek dira:

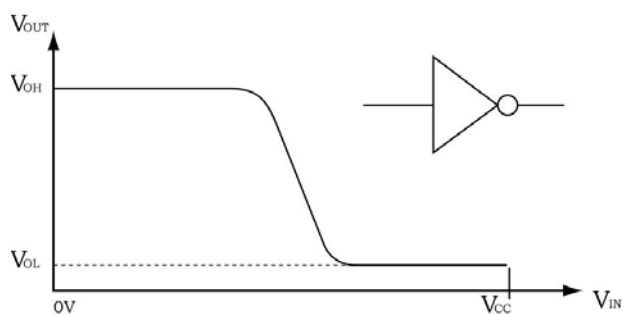
TTL: $V_{IHmin} = 2\text{ V}$; $V_{ILmax} = 0,8\text{ V}$; $V_{OHmin} = 2,4\text{ V}$; $V_{OLmax} = 0,4\text{ V}$

CMOS: $V_{IHmin} = 3,5\text{ V}$; $V_{ILmax} = 1,5\text{ V}$; $V_{OHmin} = 4,9\text{ V}$; $V_{OLmax} = 0,1\text{ V}$

Sarrerei ez dagokien tentsioa aplikatuz gero, irteerak tentsio-tartetik kanpoko balioa eragingo du, eta, ondorioz, zirkuitoak ez du behar bezala funtzionatuko.

6.2. Transferentzia-kurba

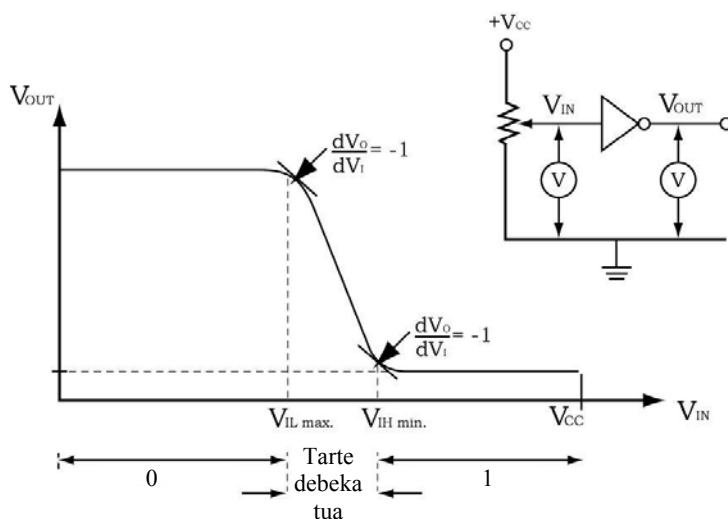
Transferentzi- kurbak irteera-tentsioa ematen du sarrera tentsioarekiko.



34. Irudia

Ate logiko baten maila logikoak grafikoki lor daitezke transferentzia-kurba aztertuz.

Hala, kurbaren maldak -1 balioa hartzen duen puntuetan, V_{ILmax} eta V_{IHmin} balioak lortzen dira, 35. Irudian marraztu den moduan.



35. Irudia

6.3. Zarata-tartea

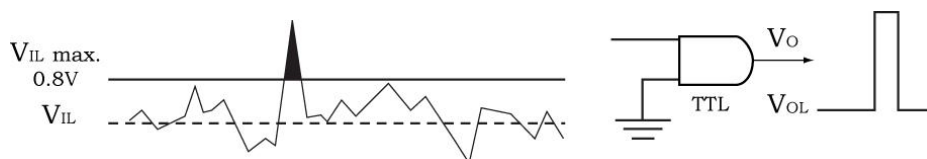
Irteera-maila aldatu gabe, sarreretan gerta daitezkeen tentsio-gorabeherak onartzeko ahalmena da zarata-tartea. Nahi ez diren gorabehera horiei zarata deritzogu, eta kanpoko zein barruko eragina dela kausa sortuak dira. Adibidez:

- Inguruneko zarata elektrikoa, zeinen jatorria honako hau izan daitekeen: etengailuekiko kontaktuetan sortutako txinpartak, fluoreszenteak, kontaktoreak.....
- Elikadur-tentsioak sortutako zarata.
- Hurbil dauden pisten arteko akoplamendua.

Zaratak ate batean duen eragina 36. Irudian eta 37. Irudian erakusten da.

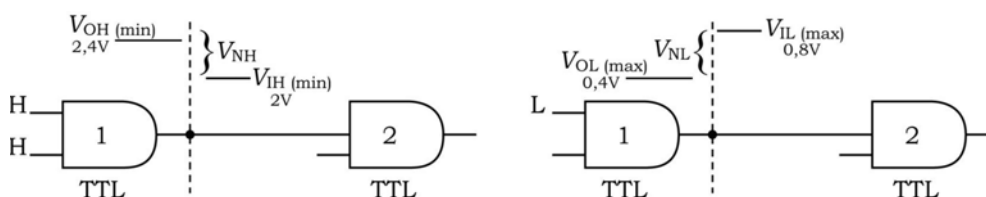


36. Irudia



37. Irudia

Hala ere, zarata-tarteari buruz aritzean, elkarrekin konektatuta dauden bi ate logikoren artean sar daitezkeen zaratak eta bigarren ateari zarata horiek onartzeko gaitasuna aipatu ohi dira. Gaitasun hori aztertzeko, ateen egoera-maila altua zein baxua kontuan izan behar da, 38. Irudian egin den moduan. Han, bi TTL aterari arteko lotura bat dago. Maila altuari dagokionez, 2 ateari gutxienez 2 V behar dituen neurrian, 1 ateari gutxienez 2,4 V sortuko ditu. Hortaz, gehienez ere -0,4V-eko “zarata” sartzen bada, 2 ateari maila altua irakurtzen mantenduko da. Maila baxuaren egoerari dagokionez, onar daitezkeen “zarata” 0,4 V dela kalkula daiteke arrazoibide bera jarraituz.



38. Irudia

Zarata-tartea kalkulatzeko adierazpen analitiko formala hau da:

$$V_{NH} = V_{OH(min)1} - V_{IH(min)2}$$

$$V_{NL} = V_{IL(max)2} - V_{OL(max)1}$$

6.4. Kontsumoa. Potentziaren disipazioa

Zirkuitu elektronikoek zein elektrikoek, funtzionatzeko, korrontea kontsumitzen dute, horregatik, zirkuituak diseinatzean kontuan izan beharreko parametroa da. Izan ere, parametroak hauek dira:

I_{CCH} = Irteerak maila altuan daudenean kontsumitzen den korrontea.

I_{CCL} = Irteerak maila baxuan daudenean kontsumitzen den korrontea.

Kontsumo horiek zirkuitu integratukoak dira beraz, zirkuituaren ate bakar bat besterik ez bada erabiltzen, ate horren kontsumoa kalkulatu beharko da.

CMOS teknologiaz garatutako zirkuitu integratuen ateen egoera-trantsizioetan bakarrik kontsumitzen dutenez, pausagunean ez da ia kontsumorik izango, korronte parasitoei dagokiena besterik ez.

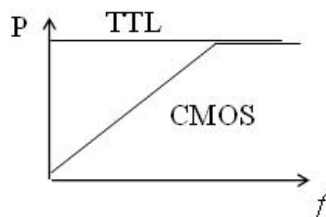
Potentziaren disipazioa kalkulatzeko, adierazpen hauek erabili behar dira.

$$\begin{array}{c} \text{TTL} \\ P_D = V_{CC} I_{CC}, \quad I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} \end{array}$$

$$\begin{array}{c} \text{CMOS} \\ P_D = C_L \cdot V_{DD}^2 \cdot f \end{array}$$

Nabarmena da CMOS ateei dagokien potentziaren disipazioaren adierazpena maiztasunaren eta kargaren kapazitantziaren menpekoa dela. Aldez aurretik aipatu denez, CMOS ateen egoera-trantsizioetan bakarrik kontsumitzen dute. Orduan, maiztasuna handitzen bada kontsumoa ere handituko da; hain zuzen ere, maiztasuna segundoko egoera-trantsizio kopurua da. Bestalde, CMOS ate guztiek 5pF-eko sarrera-kapazitantzia dute, eta horrek eragina dauka potentziaren disipazioan.

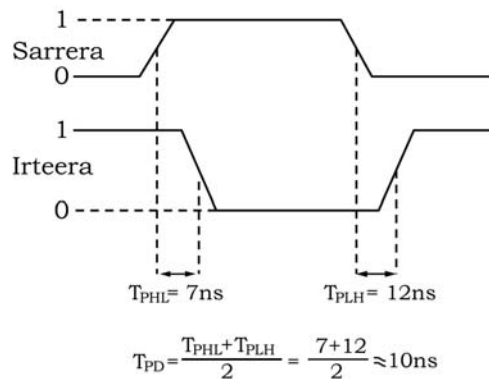
TTL eta CMOS ateen potentziaren disipazioaren jokaera 39. Irudian erakusten da.



39. Irudia

6.5. Hedapenaren atzerapen-denbora (H.a.d.)

Hedapenaren atzerapen-denboraren kontzeptua bigarren kapituluaren agertu da, gitch-en inguruan. Han azaldu denez, sarreraren maila-aldaketak irteeraren maila-aldaketa eragin behar badu, aldaketa hori irteeraren berehala nabaritu beharrean denbora jakin bat igaro ostean antzematen da. Atzerapen-denbora horri hedapenaren atzerapen-denbora deritzogu, eta t_{PHL} eta t_{PLH} parametroek definitzen dute haren balioa. 40. Irudian haien eragina adierazten da, eta, adibide moduan, balio zehatzak ematen dira.



40. Irudia

Behaketa hauek atera daitezke:

- H.a.d. zenbat eta handiago izan, maiztasun maximoa orduan eta txikiagoa izango da.
- Hedapenaren denborak 10^{-9} s-koak izaten dira.
- Hedapenaren denbora kargaren menpekota da (ezaugarri hori orrietan begiratu behar da). Kargaren kapazitatea (C_L) zenbat eta handiagoa, orduan eta handiagoak dira karga-deskarga denborak; ondorioz, eragiketak egiteko abiadura txikiagoa izango da.
- Dakartzan arazoak glitch-ak dira, hau da, arrisku estatiko eta dinamikoak.
- CPUak duen erlojuaren maiztasuna parametro honen menpekota da.

6.6. Potentzia-abiadura biderketa (pJ)

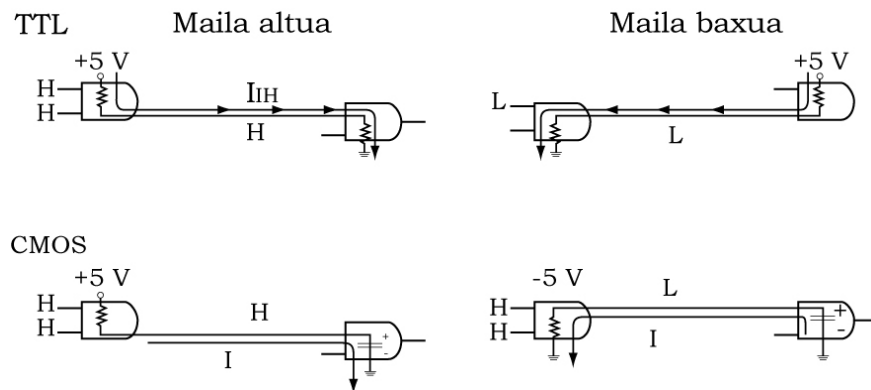
Teknologiaren kalitateari buruzko informazioa ematen duen parametroa da, eta potentziaren disipazioaren eta hedapenaren atzerapen-denborekin arteko konpromisoa kuantifikatzen duen balioa ematen du. Hortaz, parametro horren balioa zenbat eta txikiagoa orduan eta orekatuagoa da teknologia.

$$C = T_P \cdot P_D$$

Normalean CMOS teknologiaren p.a.b. TTL teknologiarena baino txikiagoa da.

6.7. Karga eta fan-out-a

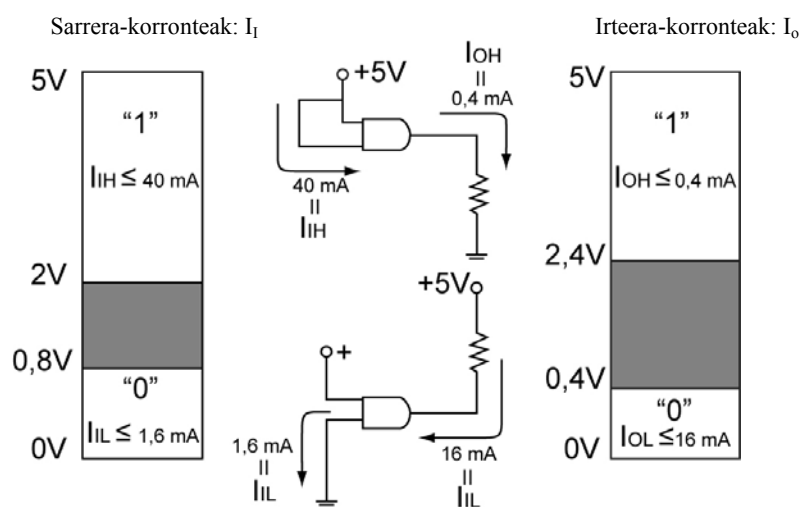
Ate logiko baten irteera (ate kitzikatzailea) ate logikoen sarreretara konektatzen denean, ate kitzikatzailean karga sortzen da. Edozein egoera logikotan, ate kitzikatzaileak zein karga-ateak barne-erresistentzia dute eta, CMOS ateen kasuan, baita karga kapazitiboa ere.



41. Irudia

Fan-out-a ate batek kitzika ditzakeen karga-ateen gehienezko sarrera kopurua da.

TTL karga: TTL zirkuitu batean ate kitzikatzailea maila altuan dagoenean, ate kitzikatzaileak korrontea ematen die karga-ateei. Maila baxuan, ordea, korrontea xurgatzen du. Jokaera hori, 42. Irudian ikus daiteke.



42. Irudia

Karga-ateen kopurua handitzeak ate kitzikatzailean nola eragiten duen aztertu beharra dago. Ate kitzikatzailea maila altuan dagoenean karga handitzen bazaio eman behar duen korronea ere handitzen denez, atean gertatzen den tentsio-erorketa handitzen da, ondorioz, V_{OH} txikitzen da.

$$V_{irteera} = V_{atea} + V_{oh} = I_p R_p + V_{oh}$$

$$V_{atea} = V_{cc}$$

$$V_{oh} = V_{cc} - I_p R_p$$

Korronea gehiegi handituko balitz, V_{OH} V_{OHmin} -ren azpitik eror liteke eta zirkuituaren funtzionamendu desagokia eragingo luke, kasu horretan V_{IH} -ren balioa sarrera-tarte baliagarritik kanpo egongo bailitzateke.

Ate kitzikatzailea maila baxuan dagoenean karga handitzen bazaio xurgatzen duen korronea ere handitzen denez, atean ematen den tentsio-erorketa handitzen da, ondorioz, V_{OL} handitzen da.

$$V_{irteera} + V_{atea} = V_{ol}$$

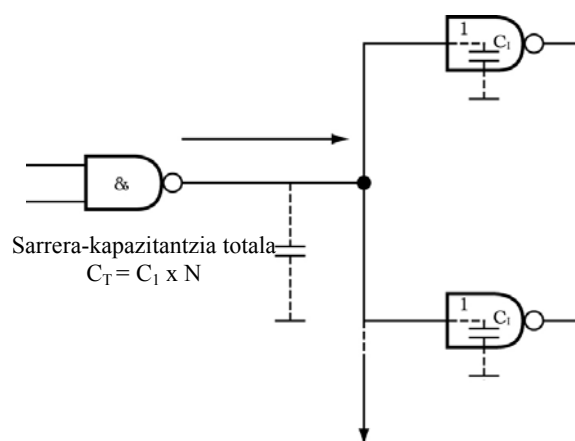
$$V_{irteera} = 0$$

$$V_{ol} = I_p R_p$$

Korronea gehiegi handituko balitz, V_{OL} V_{OLmax} -ren gainetik jar liteke eta zirkuituaren funtzionamendu desagokioa eragingo luke, kasu horretan V_{IL} -ren balioa sarrera-tarte baliagarritik kanpo egongo bailitzateke.

CMOS karga: CMOS ate logikoek FET transistoreak dituztenez, karga-ateek karga kapazitiboa dute (43. Irudia). Hortaz, karga- eta deskarga-denborak faktore mugatzaileak izango dira, eta haien balioa ate kitzikatzailearen irteera-erresistentziaren menpekota eta karga-ateen kapazitatearen menpekota izango da. Karga-ateen kapazitantzia, ate kitzikatzailearen irteerako erresistentziaren bidez kargatu eta deskargatu egiten da egoera logikoaren arabera, hau da, kapazitantzia kargatzen da maila altuan eta baxuan deskargatzen da.

Ate kitzikatzailearen irteeran karga-ateen kopurua gehitzen bada, kapazitantzia osoa handitzen da halaber. Ondorioz, karga- eta deskarga-denborak handituko dira, eta lanerako maiztasun maximoa txikituko da.



43. Irudia

Vcc-ra konektatuta dagoen R-ren bidezko kondentsadore baten karga-ekuazioa :

$$V_c(t) = V_{\text{final}} \cdot \left[(V_{\text{inicial}} - V_{\text{final}}) \right] e^{-t/RC}$$