



---

## Arquitectura de Computadores I

---

### Sistema de memoria 2: Esquemas de direccionamiento

Las direcciones para acceder a la memoria de un computador tienen la siguiente estructura:

- a. **Memoria virtual**, paginada, con direccionamiento al byte y direcciones lógicas de 20 bits:

|         |        |
|---------|--------|
| 12 bits | 8 bits |
|---------|--------|

- b. **Memoria principal**, entrelazada, con direccionamiento al byte y direcciones físicas de 11 bits:

|        |        |        |
|--------|--------|--------|
| 6 bits | 2 bits | 3 bits |
|--------|--------|--------|

Los accesos a la jerarquía de memoria presentan los siguientes tiempos en caso de acierto y fallo:

TLB    fallo = 30 ciclos / acierto = 1 ciclo

MP    11 ciclos (desde el buffer de entrelazado, 1 ciclo)

**Contesta las siguientes preguntas:**

- a) Esquema de traducción de direcciones. ¿Cuántas páginas puede tener un programa? ¿Cuál es el tamaño máximo de cada página? Indica cuál es el número de entradas de la tabla de páginas y el tamaño de cada entrada. En lo que respecta al TLB, ¿cuál es el tamaño de cada entrada?
- b) Esquema de la estructura de la memoria principal y esquema del direccionamiento de la memoria. ¿Cuál es el tamaño de una palabra?
- c) Dada la siguiente secuencia de direcciones lógicas a memoria {392, 408, 2568, 400, 2576, 384, 2584, 2560}, calcula el tiempo de acceso al sistema de memoria. Inicialmente el TLB está vacío y el contenido de la tabla de páginas es el siguiente

|               |   |    |   |   |    |    |      |
|---------------|---|----|---|---|----|----|------|
| Orri logikoa: | 2 | 14 | 1 | 5 | 10 | 28 | .... |
| Orri fisikoa: | 1 | 6  | 0 | 7 | 4  | 2  | .... |