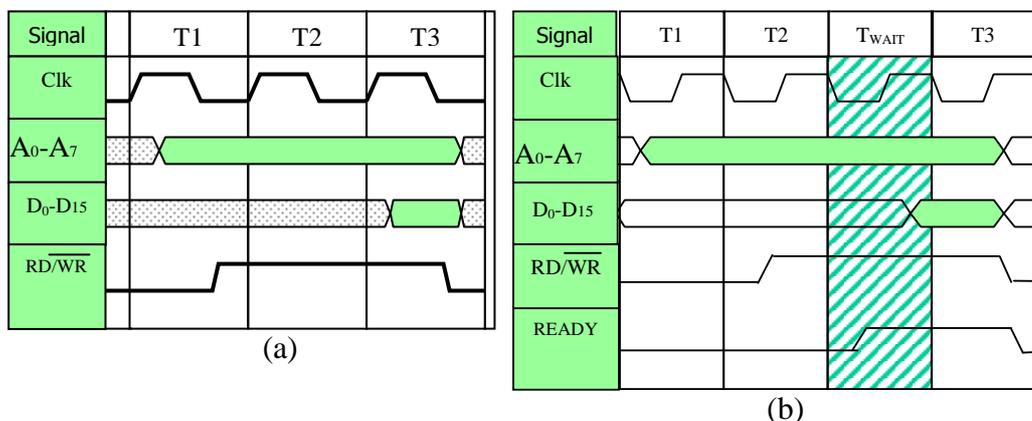


Arquitectura de Computadores I

Buses 4 (solución): síncrono/semisíncrono + cálculos

Las Figuras (a) y (b) muestran dos ciclos de bus distintos para realizar una lectura en memoria. Para el caso (a) la frecuencia de reloj es de 16 MHz y para el caso (b) de 32 MHz.

- ¿Qué tipo de protocolo sigue cada cronograma? Explica las diferencias entre ambos.
- ¿Cuál es el ancho de banda en el caso (a)?
- Queremos instalar en el sistema una memoria con un tiempo de respuesta de 250ns. ¿Qué protocolo utilizarías?
- Si el tiempo de respuesta de la memoria es de 50 ns, ¿qué protocolo es más eficiente para transferir datos de 16 bits? Justifica tus respuestas.



Solución

a) Analizando las señales del cronograma (a) podemos decir que es un bus síncrono: podemos ver la señal del reloj (Clk). Si observamos el cronograma (b) podemos decir que también corresponde a un bus síncrono (vemos una señal Clk), pero en este caso la señal READY nos indica que es un bus semisíncrono. En ambos casos se puede realizar una transferencia en 3 ciclos, pero en el segundo caso se pueden introducir los ciclos de espera necesarios para adaptarse a la velocidad del periférico.

b) Para calcular el ancho de banda hay que tener en cuenta los siguientes dos datos: la cantidad de información que se puede transferir por el bus y el tiempo que se necesita para transferir dicha información. En este ejercicio se pueden transferir 2 bytes (16 bits de datos, D₀-D₁₅) en 3 ciclos (T1/T2/T3). Partiendo de que la frecuencia de reloj es de 16 MHz obtenemos que el tiempo de ciclo es de 62,5 ns. Por lo tanto, el ancho de banda será el siguiente:

$$AB = \frac{\text{cantidad información (bytes)}}{\text{tiempo (s)}} = \frac{2 \text{ bytes}}{3 \times 62,5 \times 10^{-9} \text{ s}} = 0,01067 \times 10^6 \text{ bytes/s} = 10,67 \text{ MB/s}$$

c) Si queremos instalar una memoria con un tiempo de respuesta de 250 ns tendremos problemas con el primer protocolo. El ciclo de bus de este protocolo es de 187,5 ns (3 ciclos de 62,5 ns) y la memoria no responde en ese tiempo. En el segundo protocolo, utilizando ciclos de espera, podemos instalar esta memoria en el sistema. Por lo tanto, en este caso, utilizaríamos el protocolo (b).

d) El ciclo de bus en el primer caso es de 187,5 ns y en el segundo caso de 93,75ns (una frecuencia de reloj de 32 MHz nos da un tiempo de ciclo de 31,25 ns). La memoria se puede insertar en cualquiera de los dos protocolos, y no será necesario utilizar ciclos de espera en el segundo. Por lo tanto, el segundo protocolo es más eficiente, puesto que envía 16 bits en menos tiempo.