

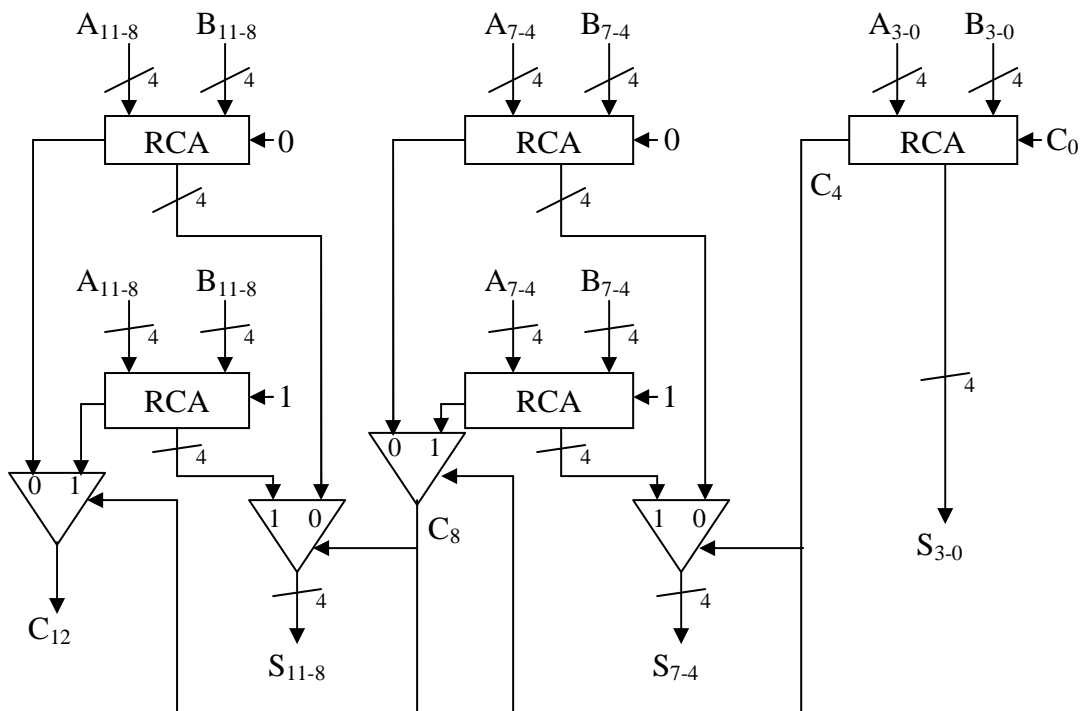
Arquitectura de Computadores I

Aritméticos 2 (solución) Sumadores rápidos: *Carry Select*

Dibuja el esquema de un *Carry-Select* de 12 bits utilizando bloques de 4 bits. Indica cómo se realiza en ese sumador la suma de los siguientes números: $Z1 = EA3_{\text{H}}$, $Z2 = 15D_{\text{H}}$. ¿Cuál es el retraso en este caso? ¿Y en el peor de los casos? ¿Cuál sería el retraso de un sumador RCA de 12 bits al sumar esos dos números? Justifica tus respuestas.

Solución

Por un lado, se nos ha pedido dibujar el esquema. Este es el esquema del sumador *Carry Select*:



Las llevadas C_4 y C_8 se utilizan en los multiplexores para hacer la selección, decidiendo así de qué sumador se obtienen la suma y la llevada correctas, puesto que son esas las que le corresponden al resultado.

Calculemos ahora la suma que se pide en el enunciado. Para ello, pasaremos los valores dados en hexadecimal a binario, para después realizar las operaciones que se llevan a cabo en los cinco sumadores.

$Z1 = EA3_H$, en binario es el número 111010100011.

$Z2 = 15D_H$, en binario es el número 000101011101.

Cogeremos esas secuencias de bits de cuatro en cuatro, y en los casos de los dos grupos de 4 bits de mayor peso les sumaremos las llevadas 0 y 1. Estas son las cinco sumas que se realizan:

$\begin{array}{r} 0 \\ + \quad 1110 \\ \quad 0001 \\ \hline 0 \quad 1111 \end{array}$	$\begin{array}{r} 0 \\ + \quad 1010 \\ \quad 0101 \\ \hline 0 \quad 1111 \end{array}$	$\begin{array}{r} 0011 \\ + \quad 1101 \\ \hline 1 \quad 0000 \end{array}$
$\begin{array}{r} 1 \\ + \quad 1110 \\ \quad 0001 \\ \hline 1 \quad 0000 \end{array}$	$\begin{array}{r} 1 \\ + \quad 1010 \\ \quad 0101 \\ \hline 1 \quad 0000 \end{array}$	

Esas sumas tienen lugar en paralelo. En cuanto a los retrasos se refiere, tres de ellos tienen un retraso de 8Δ ; exactamente, la suma de los 4 bits de menor peso y las otras dos sumas que hay abajo (las de los sumadores que reciben un 1 como llevada). Los otros dos necesitarán un retraso de 2Δ para realizar los cálculos.

Después de 8Δ , la llevada del sumador de los 4 bits de menor peso (es decir, C_4) toma el valor 1, por lo tanto, de entre los sumadores del medio se seleccionará el resultado del sumador de abajo. Para ello en los multiplexores pasarán otros 2Δ para seleccionar los valores correctos. Entonces la llevada del medio (es decir, C_8) pasa a tomar el valor 1 y pasarán otros 2Δ más para que en los últimos multiplexores se decida que el sumador de los bits de mayor peso correcto es el de abajo. Por lo tanto, en este caso, en total serán necesarios 12Δ para que la suma sea correcta. También hay que decir que es el retardo del peor caso (12Δ).

El resultado de la suma es 000000000000 (es decir, el valor 0) y la operación genera una llevada ($C_{12}=1$).

Si se utilizara un RCA de 12 bits, siendo el peor caso $2\Delta n$, harían falta 24Δ para hacer estos cálculos.