



Arquitectura de Computadores I

Aritméticos 1 (solución): sumador serie RCA

En un sumador serie (RCA, CPA) se suman estos dos números naturales, $S = A + B$ siendo:

$$\begin{array}{r}
 A: \quad 01111011 \\
 B: \quad 00110101 \\
 \hline
 S: \quad 10110000
 \end{array}$$

Rellena la siguiente tabla, indicando los resultados parciales, tanto para las sumas como para las llevadas, en cada tramo de tiempo de 2Δ . Para este caso en concreto, ¿cuál es el retardo del sumador?

Ten en cuenta que al sumar los bits A_i y B_i se consiguen S_i y C_{i+1} (así, $A_0 + B_0 = S_0$, y C_1 , la llevada para el siguiente bit; con los siguientes bits: $C_1 + A_1 + B_1 = S_1$, y la llevada C_2 , etc.).

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ																
4Δ																
6Δ																
8Δ																
10Δ																
12Δ																
14Δ																
16Δ																

Solución

Para resolver este ejercicio, primero indicaremos el caso general del sumador RCA:

$$\begin{array}{r}
 C_{in}: \quad C7 \ C6 \ C5 \ C4 \ C3 \ C2 \ C1 \ C0 \\
 A: \quad A7 \ A6 \ A5 \ A4 \ A3 \ A2 \ A1 \ A0 \\
 B: \quad B7 \ B6 \ B5 \ B4 \ B3 \ B2 \ B1 \ B0 \\
 \hline
 S: \quad S7 \ S6 \ S5 \ S4 \ S3 \ S2 \ S1 \ S0 \\
 C_{out}: \quad C8 \ C7 \ C6 \ C5 \ C4 \ C3 \ C2 \ C1
 \end{array}$$

Por lo tanto, la llevada que se consigue en un instante como salida de una posición (C_{out}), en el siguiente instante será la llevada de entrada de la siguiente posición (C_{in}), es decir, la llevada de salida de la posición actual hay que desplazarla una posición hacia la izquierda para poder sumarla en el siguiente instante.

El punto inicial para resolver este ejercicio es el siguiente: en un principio todas las llevadas son 0. Así, la suma que se realiza en el primer instante es la siguiente:

$$\begin{array}{r}
 C_{in}: \quad 00000000 \\
 A: \quad \quad 01111011 \\
 B: \quad \quad 00110101 \\
 \hline
 \end{array}$$

Puesto que el sumador RCA es un sumador en serie, está compuesto por varios sumadores de un bit (exactamente, tantos sumadores como bits; por lo tanto en este caso 8 sumadores conectados en serie; es decir, la llevada de salida del sumador de la derecha es la llevada de entrada del sumador de su izquierda; se dice también, que en estos sumadores la llevada se propaga hacia la izquierda). El tiempo de respuesta de los sumadores de un bit es de 2Δ a partir de que los sumandos y la llevada de entrada son estables. Puesto que la llevada se propaga, en cada paso o propagación hacia la izquierda, el resultado se retrasa 2Δ . Recordemos el funcionamiento de los sumadores de un bit:

$$C_{in} + A + B = S \text{ y } C_{out} \text{ de llevada}$$

$$0 + 0 + 0 = 0 \text{ y } 0 \text{ de llevada}$$

$$0 + 0 + 1 = 1 \text{ y } 0 \text{ de llevada (por la propiedad conmutativa: } 0 + 0 + 1 = 0 + 1 + 0 = 1 + 0 + 0)$$

$$0 + 1 + 1 = 0 \text{ y } 1 \text{ de llevada (por la propiedad conmutativa: } 0 + 1 + 1 = 1 + 0 + 1 = 1 + 1 + 0)$$

$$1 + 1 + 1 = 1 \text{ y } 1 \text{ de llevada}$$

Teniendo eso en cuenta, estos son los resultados parciales (S y C, suma y llevada de salida, consecutivamente) del sumador RCA al cabo de 2Δ :

$$\begin{array}{r}
 C_{0\Delta}: \quad 00000000 \\
 \quad \quad \quad 01111011 \\
 \quad \quad \quad 00110101 \\
 \hline
 S_{2\Delta}: \quad 01001110 \\
 C_{2\Delta}: \quad 00110001
 \end{array}$$

Ese primer resultado parcial podemos escribirlo ya en la tabla, teniendo en cuenta que las sumas que hemos obtenido son $S_7 - S_0$, y las llevadas en cambio, $C_8 - C_1$, es decir, tal y como hemos dicho, el bit de llevada que se sumará a los bits de la izquierda en el instante siguiente.

	S7 S6 S5 S4 S3 S2 S1 S0	C8 C7 C6 C5 C4 C3 C2 C1
2Δ	0 1 0 0 1 1 1 0	0 0 1 1 0 0 0 1

Las llevadas anteriores son las que se suman en el siguiente periodo de tiempo de 2Δ , desplazándolas una posición hacia la izquierda, así:

$$\begin{array}{r}
 C_{2\Delta} \leftarrow: 01100010 \\
 \quad \quad \quad 01111011 \\
 \quad \quad \quad 00110101 \\
 \hline
 S_{4\Delta}: \quad 00101100 \\
 C_{4\Delta}: \quad 01110011
 \end{array}$$

Ese segundo resultado parcial podemos escribirlo ya en la tabla:

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ	0	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1
4Δ	0	0	1	0	1	1	0	0	0	1	1	1	0	0	1	1

Si comparamos los resultados de las dos filas conseguidas hasta ahora en la tabla, nos daremos cuenta de que algunos valores no han cambiado de la primera a la segunda fila y de que otros en cambio sí. La razón es que algunos resultados parciales ya se estabilizan en los primeros 2Δ , y otros en cambio necesitan más tiempo. Podemos diferenciar tres casos:

- Quando los sumandos son $1 + 1$, no importa cuál sea la llevada que haya que sumarles, puesto que la llevada de salida siempre va ser 1 (sea $1 + 1 + 0$, o $1 + 1 + 1$, la llevada es 1 en cualquiera de los dos casos): por eso se dice que, cuando se suman $1 + 1$, esos bits generan la llevada, y que en el instante 2Δ ya es estable. En este ejercicio, con esos sumandos, esto ocurre en los casos de las llevadas C1, C5 y C6. En cambio, en cuanto a la suma parcial se refiere, no ocurre eso, puesto que no es lo mismo hacer $0 + 1 + 1 (= 0, \text{ y } 1 \text{ de llevada})$, o $1 + 1 + 1 (= 1, \text{ y } 1 \text{ de llevada})$. Por eso, el resultado de la suma se estabilizará después se estabilizarse la llevada de entrada, nunca antes. Así, los bits S4 y S5 no serán estables en el instante 2Δ . S0 es un caso particular, puesto que suponemos que la llevada de entrada, C0, es siempre 0. Así, en el instante 2Δ , S0 también es estable, ha tomado el valor 0.
- En cambio, cuando los sumandos son 0 y 1 (por la propiedad conmutativa no importa el orden de los sumandos), ni la suma ni la llevada se estabilizan hasta estabilizarse la llevada de entrada. La razón es que no es lo mismo hacer $0 + 1 + 0 (= 1, \text{ y } 0 \text{ de llevada})$, o $1 + 1 + 0 (= 0, \text{ y } 1 \text{ de llevada})$. En este caso se dice que esos dos bits (0 y 1) propagan la llevada que obtienen en la entrada, pasándola a los siguientes bits. En este ejercicio, con esos dos sumandos, eso ocurre en los casos de las sumas S1, S2, S3, S6, y en los casos de las llevadas C2, C3, C4 y C7.
- Por último, cuando los sumandos son 0 y 0, la llevada de salida siempre va a ser 0, da igual cuál sea la llevada de entrada. En cambio, la suma sí es dependiente de la llevada de entrada: $1 + 0 + 0 = 1, \text{ y } 0 \text{ de llevada}$; $0 + 0 + 0 = 0, \text{ y } 0 \text{ de llevada}$. En este caso, esos dos bits ni generan ni propagan una llevada de entrada; de hecho lo que hacen es cortar el camino de una llevada de entrada, de modo que no puede seguir hacia la izquierda. En este ejercicio, este caso se da en los bits de mayor peso. Por lo tanto, antes de seguir adelante, ya podemos decir que C8 será igual a 0, totalmente estable a partir del instante 2Δ , no en cambio la suma S7

Resumiendo, en el instante 2Δ ya son estables S0, C8, C6, C5 y C1. De todas formas, en la tabla hay otros valores que son iguales en el instante 2Δ y en el 4Δ (S2, S3, S4, por poner algún ejemplo), pero no son estables puesto que pertenecen al caso (b), es decir, para que la salida se estabilice primero tiene que estabilizarse la llevada que propagan los bits de la derecha.

Las llevadas anteriores son las que se suman en el siguiente periodo de tiempo de 2Δ , desplazándolos una posición hacia la izquierda, así:

$$\begin{array}{r}
 C_{4\Delta} \leftarrow: 1\ 1\ 1\ 0\ 0\ 1\ 1\ 0 \\
 \phantom{C_{4\Delta} \leftarrow:} 0\ 1\ 1\ 1\ 1\ 0\ 1\ 1 \\
 \phantom{C_{4\Delta} \leftarrow:} 0\ 0\ 1\ 1\ 0\ 1\ 0\ 1 \\
 \hline
 S_{6\Delta}: 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0 \\
 C_{6\Delta}: 0\ 1\ 1\ 1\ 0\ 1\ 1\ 1
 \end{array}$$

Ya podemos escribir en la tabla ese tercer resultado parcial:

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ	0	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1
4Δ	0	0	1	0	1	1	0	0	0	1	1	1	0	0	1	1
6Δ	1	0	1	0	1	0	0	0	0	1	1	1	0	1	1	1

Ahora, comparando los resultados de los instantes 4Δ y 6Δ , podemos decir que en el instante 4Δ se han estabilizado S1, S5, S6, C2 y C7.

La suma del siguiente instante es la siguiente:

$$\begin{array}{r}
 C_{6\Delta} \leftarrow: 1\ 1\ 1\ 0\ 1\ 1\ 1\ 0 \\
 \phantom{C_{6\Delta} \leftarrow:} 0\ 1\ 1\ 1\ 1\ 0\ 1\ 1 \\
 \phantom{C_{6\Delta} \leftarrow:} 0\ 0\ 1\ 1\ 0\ 1\ 0\ 1 \\
 \hline
 S_{8\Delta}: 1\ 0\ 1\ 0\ 0\ 0\ 0\ 0 \\
 C_{8\Delta}: 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1
 \end{array}$$

Podemos escribir en la tabla ese cuarto resultado parcial:

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ	0	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1
4Δ	0	0	1	0	1	1	0	0	0	1	1	1	0	0	1	1
6Δ	1	0	1	0	1	0	0	0	0	1	1	1	0	1	1	1
8Δ	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1

Ahora, comparando los resultados de los instantes 6Δ y 8Δ , podemos decir que en el instante 6Δ se han estabilizado S2, S7 y C3.

La suma del siguiente instante es la siguiente:

$$\begin{array}{r}
 C_{8\Delta} \leftarrow: 1\ 1\ 1\ 1\ 1\ 1\ 1\ 0 \\
 \phantom{C_{8\Delta} \leftarrow:} 0\ 1\ 1\ 1\ 1\ 0\ 1\ 1 \\
 \phantom{C_{8\Delta} \leftarrow:} 0\ 0\ 1\ 1\ 0\ 1\ 0\ 1 \\
 \hline
 S_{10\Delta}: 1\ 0\ 1\ 1\ 0\ 0\ 0\ 0 \\
 C_{10\Delta}: 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1
 \end{array}$$

Podemos escribir en la tabla ese quinto resultado parcial:

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ	0	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1
4Δ	0	0	1	0	1	1	0	0	0	1	1	1	0	0	1	1
6Δ	1	0	1	0	1	0	0	0	0	1	1	1	0	1	1	1
8Δ	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1
10Δ	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1	1

Ahora, comparando los resultados de los instantes 8Δ y 10Δ, podemos decir que en el instante 8Δ se han estabilizado S3 y C4. Además, es obvio que las llevadas en las dos últimas filas son iguales. Eso quiere decir que todas las llevadas son ya estables y que no variarán en los instantes siguientes. Aún así, parece que todavía uno de los bits de la suma no es estable. Por esa razón analizaremos un último paso:

$$\begin{array}{r}
 C_{10\Delta} \leftarrow: \quad 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 0 \\
 \quad \quad \quad \quad 0\ 1\ 1\ 1\ 1\ 0\ 1\ 1 \\
 \quad \quad \quad \quad 0\ 0\ 1\ 1\ 0\ 1\ 0\ 1 \\
 \hline
 S_{12\Delta}: \quad 1\ 0\ 1\ 1\ 0\ 0\ 0\ 0 \\
 C_{12\Delta}: \quad 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1
 \end{array}$$

Podemos escribir en la tabla ese sexto resultado parcial:

	S7	S6	S5	S4	S3	S2	S1	S0	C8	C7	C6	C5	C4	C3	C2	C1
2Δ	0	1	0	0	1	1	1	0	0	0	1	1	0	0	0	1
4Δ	0	0	1	0	1	1	0	0	0	1	1	1	0	0	1	1
6Δ	1	0	1	0	1	0	0	0	0	1	1	1	0	1	1	1
8Δ	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1
10Δ	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1	1
12Δ	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1	1

Por lo tanto, al cabo de 10Δ, todos los bits son estables, porque S4 se ha estabilizado en el instante 10Δ de forma que el resultado de los instantes 12Δ y 10Δ son exactamente iguales y será así a partir de ese momento porque las llevadas ya no cambiarán. Por lo tanto, el retardo de este caso es ese, exactamente de 10Δ.

También de esta otra manera, teniendo en cuenta qué bits generan la llevada (1 + 1, generan la llevada con un retraso de 2Δ, pero la suma se estabiliza 2Δ después de que su llevada de entrada sea estable), cuáles propagan (1 + 0, o 0 + 1, añadiendo 2Δ por cada paso de propagación, tanto para la llevada que se va a propagar como para la suma), y cuáles la cortan (0 + 0, su llevada de salida será estable a partir del instante 2Δ, pero la suma será estable 2Δ después de recibir la llevada de entrada), podemos ver cuándo se estabilizan todos los bits:

C8	C7	C6	C5	C4	C3	C2	C1		
2Δ	4Δ	2Δ	2Δ	8Δ	6Δ	4Δ	2Δ		
0	1	1	1	1	1	1	1		
	0	1	1	1	1	0	1	1	A
	0	0	1	1	0	1	0	1	B
	1	0	1	1	0	0	0	0	
	6Δ	4Δ	4Δ	10Δ	8Δ	6Δ	4Δ	2Δ	
	S7	S6	S5	S4	S3	S2	S1	S0	

Así se lee esa suma moviéndose de derecha a izquierda:

A0 + B0: 1 más 1, 0 (S0) y 1 de llevada (C1): **generar**, en el instante 2Δ son estables tanto la suma como la llevada, S0 y C1.

C1 + A1 + B1: 1 más 1 más 0, 0 (S1) y 1 de llevada (C2): **propagar**, una vez que ha llegado la llevada de entrada (C1) hacen falta 2Δ más para que la suma y la llevada sean estables; así, puesto que la llevada de entrada ha llegado a los 2Δ, las salidas S1 y C2, se estabilizarán en el instante 4Δ.

C2 + A2 + B2: 1 más 0 más 1, 0 (S2) y 1 de llevada (C3): **propagar**, una vez que ha llegado la llevada de entrada (C2) hacen falta 2Δ más para que la suma y la llevada sean estables; así, puesto que la llevada de entrada ha llegado a los 4Δ, las salidas S2 y C3, se estabilizarán en el instante 6Δ.

C3 + A3 + B3: 1 más 1 más 0, 0 (S3) y 1 de llevada (C4): **propagar**, una vez que ha llegado la llevada de entrada (C3) hacen falta 2Δ más para que la suma y la llevada sean estables; así, puesto que la llevada de entrada ha llegado a los 6Δ, las salidas S3 y C4, se estabilizarán en el instante 8Δ.

C4 + A4 + B4: 1 más 1 más 1, 1 (S4) y 1 de llevada (C5): **generar**, por lo tanto, la llevada (C5) es estable a partir del instante 2Δ, pero la suma sólo 2Δ después de que llegue la llevada de entrada (C4); así, puesto que la llevada de entrada ha llegado a los 8Δ, la suma de estos, (S4) será estable a los 10Δ.

C5 + A5 + B5: 1 más 1 más 1, 1 (S5) y 1 de llevada (C6): **generar**, por lo tanto, la llevada (C6) es estable a partir del instante 2Δ, pero la suma sólo 2Δ después de que llegue la llevada de entrada (C5); así, puesto que la llevada de entrada ha llegado a los 2Δ, la suma de estos, (S5) será estable a los 4Δ.

C6 + A6 + B6: 1 más 1 más 0, 0 (S6) y 1 de llevada (C7): **propagar**, una vez que ha llegado la llevada de entrada (C6) hacen falta 2Δ más para que la suma y la llevada sean estables; así, puesto que la llevada de entrada ha llegado a los 2Δ, las salidas S6 y C7, se estabilizarán en el instante 4Δ.

C7 + A7 + B7: 1 más 0 más 0, 1 (S7) y 0 de llevada (C8): **parar**, la llevada de salida (C8) es estable a partir del instante 2Δ, pero la suma sólo 2Δ después de la llegada de la llevada de entrada (C7); así, puesto que la llevada de entrada ha llegado a los 4Δ, la suma (S7) se estabilizará en el instante 6Δ.