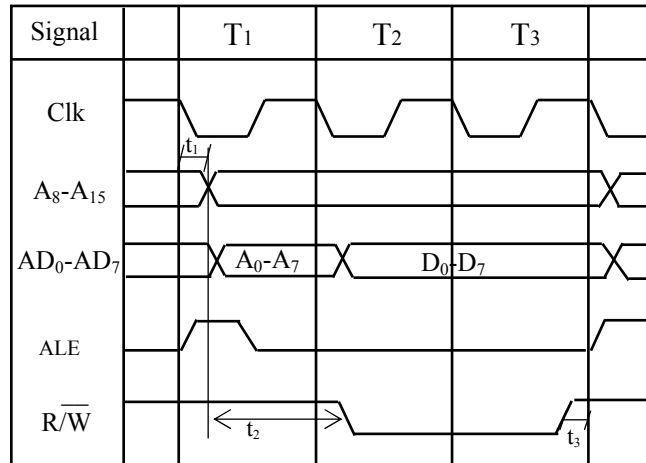


1.- El diagrama siguiente muestra el ciclo de escritura en memoria de un determinado sistema. De acuerdo al mismo, indica:

- (a) Características del protocolo de comunicación que puedan deducirse del esquema.
- (b) Si la frecuencia del reloj es de 2.5 MHz, ¿cuál es el tiempo máximo que tiene la memoria para escribir el dato desde que se activa la señal R/W.L?
- (c) Modificaciones que añadirías al protocolo para poder trabajar con una memoria más lenta.
- (d) Tiempo máximo de escritura en memoria si el protocolo fuera asíncrono.

t1 = 50 ns (máximo)  
t2 = 370 ns (máximo)  
t3 = 80 ns (mínimo)



2.- (a) Completa la siguiente tabla, indicando mediante una X, para cada una de las señales, en qué tipo de bus aparece.

Señales/ Buses	SÍNCRONO MULTIPLEXADO	ASÍNCRONO (de ciclo partido)	SEMISÍNCRONO
RELOJ			
WAIT			
MSYN			
SSYN			
ALE			

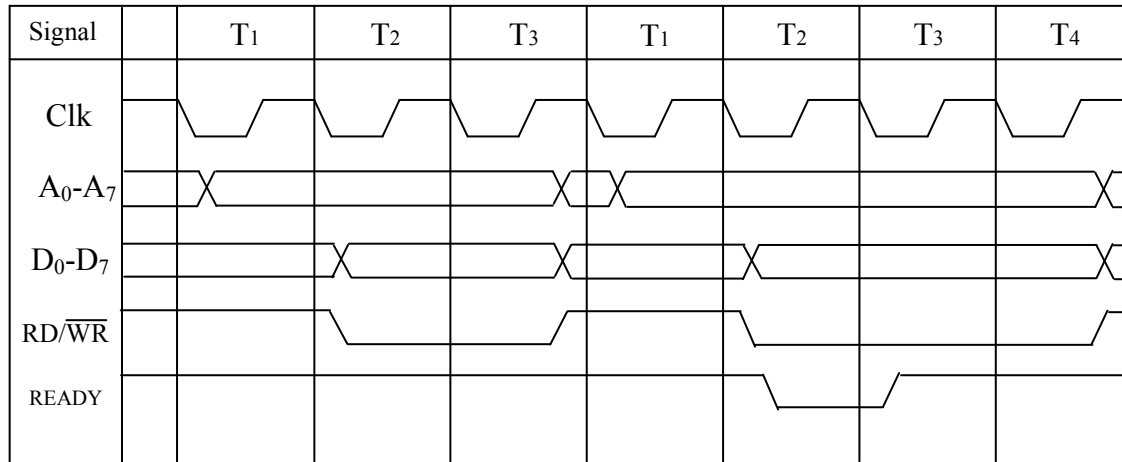
(b) Explica brevemente (máximo 3 líneas) para qué sirven las siguientes señales:

WAIT (o READY o BUSY)  
ALE

3.- Un sistema que dispone de un bus síncrono y con una frecuencia de reloj de 8 MHz, necesita 3 ciclos de reloj para realizar una lectura desde cualquier dispositivo. Con la intención de mejorar el sistema, se procede a sustituir el reloj por uno de 9 MHz. Este cambio provoca que el bus se convierta en semisíncrono y que se necesiten 3,5 ciclos de reloj de media para realizar una lectura (es decir, 3 ciclos con algunos dispositivos, o 4 ciclos con otros dispositivos más lentos).

- (a) ¿Merece la pena realizar dicho cambio? Justifica tu respuesta.
- (b) Describe brevemente las diferencias entre un bus síncrono y uno semisíncrono.

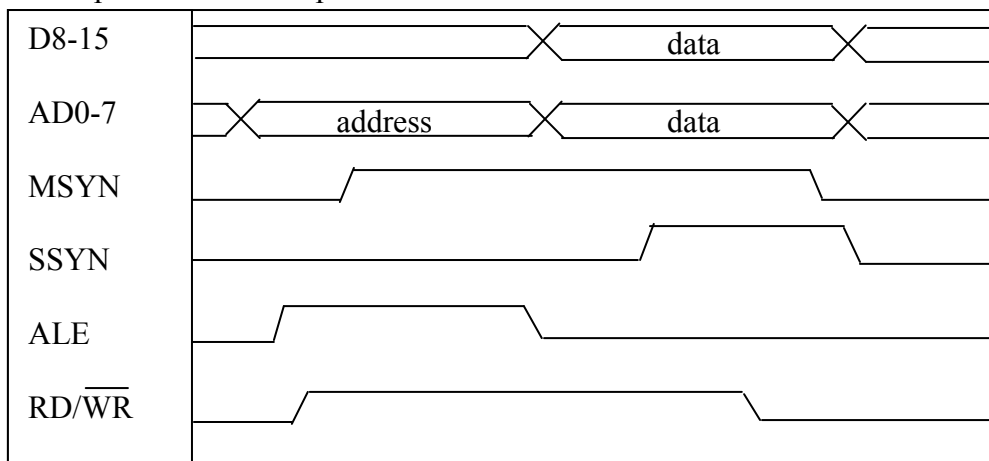
4.- En el siguiente cronograma se muestran dos ciclos de escritura en un determinado sistema.



Se pide:

- Indica a qué tipo de protocolo corresponde.
- Si la frecuencia de reloj es de 8 MHz, calcula el tiempo de una escritura en el mejor de los casos.
- ¿Qué cambios realizarías en el protocolo para que, aumentando el mínimo número de líneas necesario, el espacio de direccionamiento pase a ser de 64 Kbytes?

5.- La siguiente figura indica las señales y los pasos a realizar para llevar a cabo una lectura a través de un protocolo de bus presentado en clase.



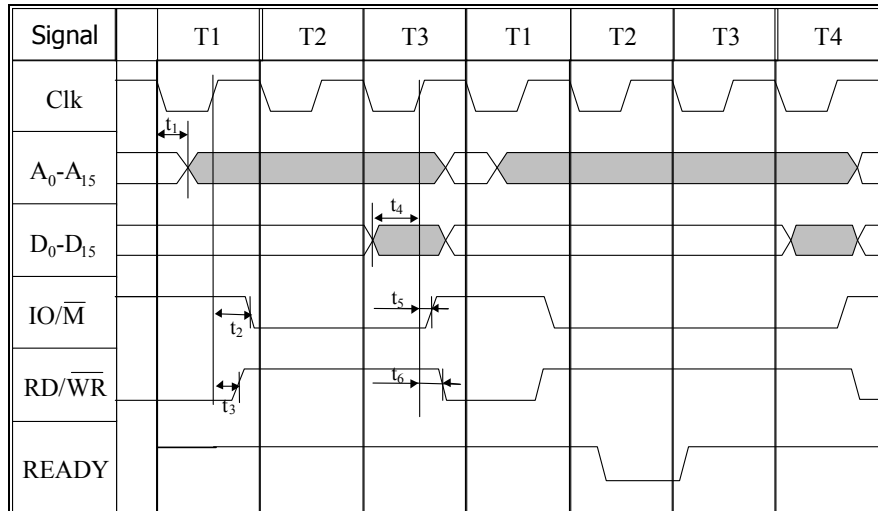
Se pide:

- Identificar el protocolo del que se trata, así como sus características más reseñables.
- Indicar brevemente cuáles son sus ventajas e inconvenientes más destacadas.
- Teniendo en cuenta el rendimiento del protocolo, ¿qué supondría eliminar la señal ALE?

6.- En un sistema con bus síncrono, con una frecuencia de reloj de 50 MHz, se necesitan 3 ciclos de reloj para realizar una lectura de 16 bits y 4 ciclos para realizar una escritura.

- ¿Cuál es el ancho de banda del bus en operaciones de lectura? ¿Y en escritura?
- ¿Cuánto tiempo será necesario para leer 1 Mbyte? ¿Y para escribirlo?

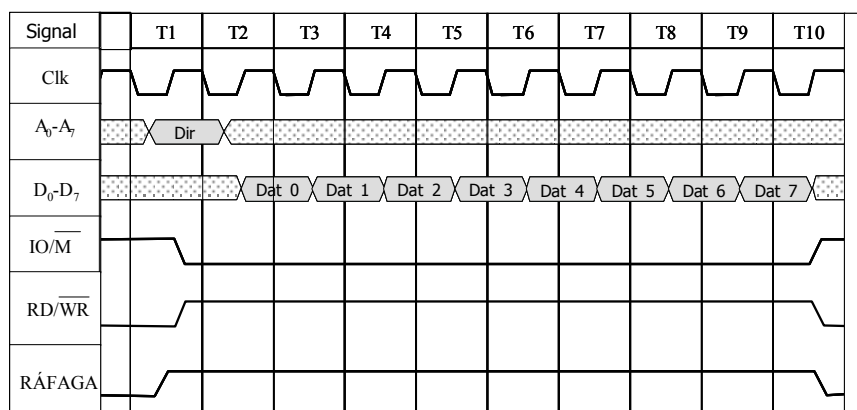
7.- En el siguiente cronograma se muestran dos ciclos de lectura en un determinado sistema:



Teniendo en cuenta el cronograma de la figura, contesta a las siguientes preguntas:

- Determina las características del protocolo de comunicación.
- ¿Cuál es el espacio de direccionamiento del sistema?
- Si la frecuencia de reloj es 30 MHz, ¿cuál es el ancho de banda del bus en el mejor caso?
- ¿Cómo aumentarías el ancho de banda realizando el menor número de cambios posible en el bus? ¿Cuál es el nuevo ancho de banda?

8.- Un sistema dispone de un bus síncrono con una frecuencia de reloj de 10 MHz. Como se puede apreciar en la figura, dicho sistema permite realizar transferencias en modo ráfaga, en la que se consigue transferir 8 datos consecutivos.



Se quiere aumentar la capacidad de transferencia del sistema. Para ello, por motivos de costes, se ha pensado en multiplexar las líneas de direcciones. Si este cambio conlleva la pérdida del modo de transferencia en ráfaga, se pide:

- Ancho de banda del primer sistema (en modo normal y en modo ráfaga).
- Ancho de banda del sistema “mejorado”.
- Si las transferencias en modo ráfaga se utilizan en el 60% de los casos, ¿merece la pena el cambio?

**9.-** Explica los pasos que se siguen para que un dispositivo pueda hacer uso del bus con arbitraje *daisy chain*. Suponiendo 4 dispositivos y que no hay conflictos entre ellos, calcula el número de ciclos necesario para que el más alejado del árbitro pueda hacerse con el bus, teniendo en cuenta los siguientes datos:

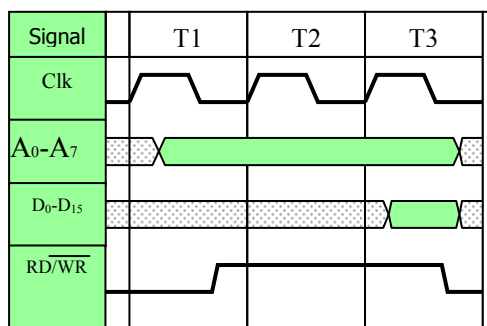
- cualquier dispositivo necesita 10 ns para activar las señales REQUEST y BUSY;
- el árbitro necesita 6 ns para activar la señal GRANT y los dispositivos necesitan también 6 ns para activarla si no han hecho la petición del bus;
- el retardo de propagación de las señales por un bus es de 2 ns;
- el reloj tiene una frecuencia de 500 MHz

**10.-** Dentro de la jerarquía de buses de un computador, el bus de memoria está configurado como un bus síncrono con una frecuencia de 100 MHz que utiliza 4 ciclos de reloj para realizar una lectura de memoria.

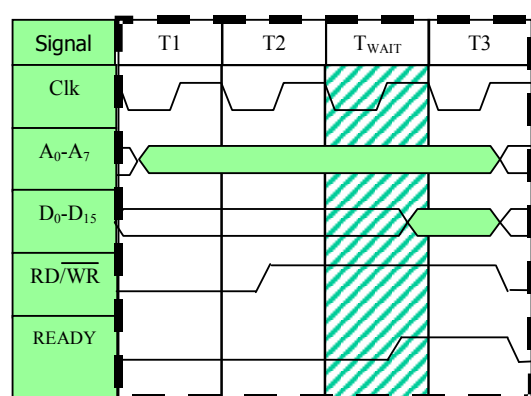
- Si el ancho de banda que se consigue es de 100 Mbytes/s, ¿cuál es la anchura del bus de datos?
- ¿Cuánto tiempo es necesario para transferir 5 Mbytes por el bus?
- Queremos instalar en el sistema una memoria con un tiempo de respuesta de 100 ns. ¿Tendremos algún problema? En caso de problemas, ¿qué solución propones? Explica claramente tus respuestas.

**11.-** Los cronogramas de las figuras (a) y (b) muestran dos ciclos de lectura en memoria para dos sistemas diferentes. La frecuencia de reloj del bus del cronograma (a) es de 16 MHz, y la del bus del cronograma (b) es de 32 MHz. Contesta las siguientes preguntas:

- ¿Qué tipo de protocolo sigue cada cronograma? Explica las diferencias entre ambos.
- ¿Cuál es el ancho de banda en el caso (a)?
- Queremos instalar en el sistema una memoria con un tiempo de respuesta de 250ns. ¿Qué protocolo utilizarías?
- Si el tiempo de respuesta de la memoria es de 50 ns, ¿qué protocolo es más eficiente para transferir datos de 16 bits? Justifica tus respuestas.



(a)



(b)