

1. En un espacio de direcciones de 64 Kbytes deben colocarse los módulos de memoria que se indican. Suponer que el direccionamiento de la memoria se hace al byte. Dibujar el esquema de conexión, las direcciones y las señales de CS para todos los módulos.

16 Kbytes RAM, de @0000H a @3FFFH	1 Kbyte RAM, de @8000H a @83FFFH
2 Kbytes RAM, de @A000H a @A7FFFH	4 Kbytes ROM, de @E000H a @EFFFH
1 Kbyte ROM, de @F000H a @F3FFFH	
2. Un microprocesador puede direccionar 64 Kbytes de memoria (direccionamiento al byte). El espacio de direcciones se reparte de la siguiente manera: 2 Kbytes de ROM, a partir de la dirección 0000H, y 4 módulos de RAM, de 2 Kbytes cada uno, a partir de la dirección 4000H. Indicar cómo conectar estos módulos de memoria al procesador.
3. Dada una memoria de 1 Mbyte con 8 módulos consecutivos y direccionamiento a la palabra, con palabras de 2 bytes, se pide: capacidad de cada módulo, estructura del registro de dirección, módulo y dirección dentro del módulo para la dirección 2307C.
4. Dada una memoria de 256 Kbytes con módulos entrelazados de 2Kbytes cada uno, direccionamiento al byte, con palabras de 4 bytes, se pide: número de módulos, estructura del registro de dirección, módulo y dirección dentro del módulo para las direcciones 1E38F.
5. Se tiene una memoria de 64 Kbytes dividida en 4 bancos consecutivos cada uno de los cuales se compone de 8 módulos entrelazados. El direccionamiento es al byte, con palabras de 4 bytes. Se pide: (a) el esquema de la dirección indicando los bits que indican el banco y los que indican el módulo dentro del banco, y (b) la capacidad de cada módulo.
6. Se tiene un sistema de memoria virtual paginado, con tamaño de página de 2Kbytes, direcciones lógicas de 20 bits y capacidad de la memoria principal de 16 Mbytes. El direccionamiento es al byte con palabras de 4 bytes. Se pide:
 - a) Esquema de las direcciones física y lógica, definiendo los distintos campos.
 - b) Esquema de direccionamiento.
 - c) Número de entradas de la tabla de páginas y tamaño de cada entrada.
7. En un sistema de memoria virtual segmentado, los segmentos tienen un tamaño máximo de 1 Kbyte y puede haber un máximo de 64 segmentos por programa. La memoria principal es de 128 Kbytes, el direccionamiento es al byte, con palabras de 4 bytes. Se pide:
 - a) Esquema de las direcciones física y lógica, definiendo los distintos campos. Esquema de direccionamiento.
 - b) Número de entradas de la tabla de segmentos y tamaño de cada entrada.
 - c) Si la tabla de segmentos tiene la siguiente información, ¿qué dirección física le corresponde a la dirección lógica 2816?

segmento	1	2	3	4
@ inicio	2048	5192	0	65536
8. El sistema de memoria de un determinado procesador tiene las siguientes características:

Reloj = 100 MHz	Memoria Principal = 2 MBytes
Direccionamiento al byte	Palabras de 4 bytes
Tiempo acceso a MP = 10 ciclos (1 ciclo desde el buffer de entrelazado)	
Tiempo de traducción TLB = 1 ciclo acierto, 3 en caso de fallo.	

Calcular el tiempo de acceso, en nanosegundos, al sistema de memoria para la siguiente secuencia de referencias: 12 - 16 - 20 - 32 - 12 - 24 - 28 - 32 - 12 - 24 (todas lecturas).

 - a. En un sistema sin memoria virtual, con la memoria principal sin entrelazar.
 - b. En un sistema sin memoria virtual, con la memoria principal entrelazada 4.
 - c. En un sistema con memoria virtual paginada (páginas de 512 bytes, direcciones virtuales de 24 bits), con la memoria principal entrelazada 4. Suponer que el TLB está inicialmente vacío y que, para estas referencias, la página virtual se corresponde con la página física.

9. En este ejercicio se trata de efectuar la traducción de las direcciones virtuales que da el procesador a las direcciones físicas que se necesitan en memoria principal. Para cada una de las dos configuraciones que se indican:
- Dibujar cómo se estructura el sistema de memoria, indicando cómo se utilizan los bits de las direcciones en cada nivel de la jerarquía.
 - Representar el esquema de división en bits de las direcciones virtuales y de acceso a memoria principal, indicando claramente todos los campos que aparecen en las mismas.
 - Rellenar las tablas adjuntas, que indican los componentes de las direcciones desde la dirección virtual a la dirección de acceso a la memoria principal. ¿Qué ocurre en la cuarta referencia del segundo caso?

	CASO 1	CASO 2		CASO 1	CASO 2
Dirección virtual	20 bits	20 bits	Tamaño página	512 bytes	256 bytes
Tamaño mem. pral.	32 Kbytes	16 Kbytes	Direccionamiento	byte	byte
Tamaño palabra	2 bytes	4 bytes	Entrelazado mem. pral.	4	2
Número de bancos	1	2			

La traducción página virtual - página física viene dada por la siguiente tabla:

pág. vir. (pv) -->	0	1	2	3	40
pág. fis. (pf) -->	3	4	1	0	35

CASO 1

pv/desp	pf/desp	@ fis (byte)	@ fis (palabra)	banco (0/1)	módulo	dir. en módulo
0 32						
40 0						
3 4						
1 30						

CASO 2

pv/desp	pf/desp	@ fis (byte)	@ fis (palabra)	banco (0/1)	módulo	dir. en módulo
0 32						
40 0						
3 4						
1 30						

10. La memoria principal de un computador está formada por 4 módulos de 128 Kbyte, el direccionamiento es al byte con palabras de 2 bytes. La tabla de páginas del programa que se está ejecutando tiene el siguiente contenido:

Página lógica:	31	7	10	20
Página física:	1	15	0	9

- A la dirección lógica 16354 le corresponde la página lógica 31 y su desplazamiento al byte es 482. Teniendo en cuenta que un programa puede tener como máximo 32 páginas lógicas, dibuja el esquema de traducción de las direcciones lógicas a físicas, definiendo claramente sus distintos campos.
- ¿Qué dirección física le corresponde a la dirección lógica 16354?
- Tras el proceso de traducción, se sabe que la dirección lógica 5130 se corresponde con una dirección física del módulo 1, ¿cómo es la estructura de la memoria principal: módulos consecutivos o entrelazados? Razona la respuesta y representa el esquema de las direcciones físicas, teniendo en cuenta su estructura.

11. Las direcciones para acceder a la memoria de un computador tienen la siguiente estructura:

a. **memoria virtual** paginada con direcciones lógicas de 18 bits:

10 bits	8 bits
---------	--------

b. **memoria principal** con direcciones físicas de 14 bits:

1 bit	7 bits	4 bits	2 bits
-------	--------	--------	--------

Los accesos a la jerarquía de memoria presentan los siguientes tiempos en caso de acierto y fallo:

TLB fallo = 30 ciclos / acierto = 1 ciclo

MP 9 ciclos (desde el buffer de entrelazado, 1 ciclo)

- Esquema de traducción de direcciones. ¿Cuántas páginas puede tener un programa? ¿Cuál es el tamaño máximo de cada página?
- Esquema de la estructura de la memoria principal y esquema del direccionamiento de la memoria. El direccionamiento, ¿es al byte o a la palabra? ¿Cuál es el tamaño de una palabra?
- Dada la siguiente secuencia de direcciones lógicas a memoria {1028, 1036, 256, 1032, 260, 1068}, calcula el tiempo de acceso al sistema de memoria. Inicialmente el TLB está vacío y el contenido de la tabla de páginas es el siguiente:

Página Lógica:	2	14	4	5	1	28
Página Física:	10	63	0	11	33	2

12. Tenemos una máquina con una memoria principal de 512 Kbytes, con direccionamiento al byte y palabras de 4 bytes. La memoria está formada por 4 módulos entrelazados. El tiempo de acceso a memoria principal es de 10 ciclos (1 desde el buffer de entrelazado).

En dicho procesador se desea ejecutar el siguiente algoritmo:

```

for i := 0, 3
  for j := 0, 1
    B[i] := B[i] + A[i,j]
  endfor
endfor
    
```

```

mov r4, #4
mov r5, #2
mov r1, #128
mov r2, #1024
loop1: load r12, (r2)
loop2: load r11, (r1)
      add r12, r12, r11
      add r1, #4
      dec r5
      bnz r5, loop2
      store r12, (r2)
      add r2, #4
      mov r5, #2
      dec r4
      bnz r4, loop1
    
```

Además, sabemos que la matriz A está almacenada en memoria por filas a partir de la dirección 128, el vector B a partir de la 1024 y las instrucciones a partir de la 2000. Cada instrucción y cada elemento de A y B ocupan una palabra de memoria.

- Dibuja el esquema de división en bits de la dirección de acceso a MP.
- Rellena la siguiente tabla para las 30 primeras referencias del programa y calcula el tiempo de acceso para esa secuencia de referencias.
- Repite los apartados (a) y (b) si la memoria se configura con 2 bancos consecutivos (datos, 0, e instrucciones, 1), cada banco con 8 módulos entrelazados.

@física byte	@física palabra	banco	módulo	palabra / módulo	ciclos MP

13. El sistema de memoria de un procesador tiene las siguientes características:

- Direccionamiento al byte, con palabras de 4 bytes.
- Memoria virtual paginada de 4 Kbytes. Un programa puede tener hasta 256 páginas.
- Memoria principal de 256 bytes.
- Se utiliza un TLB para la traducción de direcciones, inicialmente vacío, con los siguientes tiempos de acceso: 1 ciclo en caso de acierto y 20 ciclos en caso de fallo. La información de la tabla de páginas es la siguiente:

Página lógica:	8	16	32	9	17
Página física:	5	0	2	1	3

En este procesador se quiere ejecutar el siguiente programa:

<pre> for (i=1; i<255; i++) B[i]=(B[i-1]+B[i]+B[i+1])/3; </pre>	<pre> movi r1,#4 movi r5,#254 bucle: load r2,B[r1-4] load r3,B[r1] load r4,B[r1+4] add r2,r2,r3 add r2,r2,r4 divi r2,r2,#3 store r2,B[r1] addi r1,r1,#4 subi r5,r5,#1 bnz r5,bucle </pre>
--	--

Las instrucciones están cargadas a partir de la dirección lógica 256 y el vector B a partir de la 512. El tamaño de una instrucción y de un elemento del vector B es una palabra. Se pide:

- a. Dibuja el esquema traducción de las direcciones lógicas a físicas, indicando claramente los distintos campos de las direcciones.
 - b. Traduce las primeras 8 referencias lógicas que genera el procesador a direcciones físicas, indicando el proceso de traducción realizado.
 - c. Teniendo en cuenta todo el programa, calcula el número de ciclos necesario para realizar la traducción de todas las referencias lógicas.
14. En un sistema de memoria virtual segmentada de 512 Kbytes, los segmentos tienen un tamaño máximo de 2 Kbytes. La MP es de 64 Kbytes. El direccionamiento es al byte, con palabras de 2 bytes. Se pide:
- a) Esquema de traducción de direcciones. Número de entradas en la tabla de segmentos y tamaño de cada entrada.
 - b) Si a la @lógica 3047 le corresponde la @física 12107 ¿En qué dirección de memoria principal se ha cargado el segmento correspondiente?
 - c) El siguiente programa está formado por 4 segmentos (instrucciones, vector A, vector B y vector C). El hardware de traducción dispone de un TLB, inicialmente vacío, con un tiempo de acceso de 20 ciclos en caso de fallo y 1 ciclo en caso de acierto. Calcula el número de ciclos necesario para traducir todas las referencias del programa.

<pre> for (i=0;i<32;i++) B[i]=C[0]+(A[i]*A[i+1]); </pre>	<pre> movi r1, #0 movi r2, #512 movi r3,#31 bucle: load r5, A[r1] load r6, A[r1+2] mul r5, r5, r6 load r7, [r2] add r7, r7, r5 store r7, B[r1] add r1, r1, #2 subi r3, r3, #1 bge r3, bucle </pre>
---	--

15. El sistema de memoria de un computador tiene las siguientes características:

- Direccionamiento al byte, con palabras de 4 bytes.
- Memoria virtual paginada de 2 Gbytes, con páginas de 256 bytes. Para la traducción de direcciones se dispone de un TLB con tiempo de acceso de 20 ciclos en caso de fallo y 1 ciclo en caso de acierto. El TLB está inicialmente vacío.
- Memoria principal de 512 Mbytes, formada por 2 bancos consecutivos (0→datos, 1→instrucciones), cada uno de ellos con 2 módulos entrelazados. El tiempo de acceso a MP es de 10 ciclos (1 desde el buffer de entrelazado).

En este computador se ejecuta el siguiente programa:

```

                                movi r1, #0
                                movi r2, #2048
                                movi r3, #127
                                bucle: load r5, C[r1]
                                load r10, A[r1]
                                load r11, A[r1+4]
                                load r20, [r2]
                                load r21, 4[r2]
                                mul r10, r10, r20
                                mul r11, r11, r21
                                add r5, r5, r10
                                add r5, r5, r11
                                store r5, C[r1]
                                add r1, r1, #4
                                subi r3, r3, #1
                                bge r3, bucle

for (i=0;i<128;i++)
    C[i]=C[i]+(A[i]*B[0])+(A[i+1]*B[1]);
    
```

El vector A comienza en la dirección lógica 1024, el vector B en la dirección lógica 2048 y el vector C en la dirección lógica 3072. Cada elemento del vector es de tamaño 1 palabra. Se pide:

- a) Dibujar cómo se estructura el sistema de memoria, indicando cómo se utilizan los bits de las direcciones en cada nivel de la jerarquía de memoria. Indica el número de entradas en la tabla de páginas y el tamaño de cada entrada.
- b) Traduce las primeras 6 referencias a datos del programa y calcula el tiempo de acceso al sistema de memoria para cada una de las referencias. Para ello, indica claramente, mediante una tabla, los diferentes pasos que sigues para el cálculo del tiempo de acceso.
- c) Calcula el tiempo de traducción para todas las referencias a datos del programa.

La tabla de páginas contiene la siguiente información:

Página lógica:	6	13	4	5	12	8	14
Página física:	64	6	0	16	2	1	65

16. El sistema de memoria de un computador tiene las siguientes características:

- Direccionamiento al byte, con palabras de 2 bytes.
- **Memoria virtual** paginada de 1 Mbyte, con páginas de 1024 bytes. Para la traducción de direcciones se dispone de un TLB con tiempo de acceso de 20 ciclos en caso de fallo y 1 ciclo en caso de acierto. El TLB está inicialmente vacío.
- **Memoria principal** de 128 Kbytes, formada por 2 módulos entrelazados. El tiempo de acceso a MP es de 10 ciclos (1 desde el buffer de entrelazado).

En este computador se ejecuta el siguiente programa:

```

                                movi r1, #562
                                movi r2, #0
                                movi r3, #255
                                bucle: load r5, A[r2]
                                load r6, A[r2+4]
                                sub r5, r5, r6
                                load r10, [r1]
                                mul r6, r6, r10
                                store r6, C[r2]
                                add r2, r2, #2
                                subi r3, r3, #1
                                bge r3, r3, bucle

for (i=0;i<256;i++)
    C[i]=B[1]*(A[i]-A[i+2]);
    
```

El programa comienza en la dirección lógica 4096. El vector A comienza en la dirección lógica 0, el vector B en la dirección lógica 560 y el vector C en la dirección lógica 1024. Las instrucciones y los elementos de los vectores son de tamaño 1 palabra.

- Esquema de la estructura del sistema de memoria, indicando cómo se utilizan los bits de las direcciones en cada nivel de la jerarquía de memoria. Indica el número de entradas en la tabla de páginas y el tamaño de cada entrada.
- Traduce las referencias que genera el programa en la primera pasada por el bucle y calcula el tiempo de acceso al sistema de memoria para cada una de esas referencias. Para ello, indica claramente, mediante una tabla, los diferentes pasos que sigues para el cálculo del tiempo de acceso.
- Para este ejemplo concreto, ¿mejora el rendimiento en el acceso a memoria si la memoria se estructura en 4 módulos entrelazados? ¿Y si se utilizan dos bancos consecutivos (instrucciones/datos), cada uno de ellos con 2 módulos entrelazados? Justifica tus respuestas. No es necesario completar una nueva tabla de referencias.
- Calcula el tiempo de traducción para todas las referencias del programa.

La tabla de páginas contiene la siguiente información:

Página lógica:	10	0	3	1	20	4
Página física:	8	1	20	10	5	2

17. El sistema de memoria de un computador tiene las siguientes características:

- Direccionamiento al byte, con palabras de 2 bytes.
- **Memoria virtual** paginada de 1 Mbyte. Un programa puede tener un total de 4.096 páginas. Para la traducción de direcciones se dispone de un TLB con tiempo de acceso de 20 ciclos en caso de fallo y 1 ciclo en caso de acierto. El TLB está inicialmente vacío.
- **Memoria principal** de 16 Kbytes, formada por 32 módulos entrelazados. El tiempo de acceso a MP es de 10 ciclos (1 desde el buffer de entrelazado).

Se pide:

- Esquema de la traducción de direcciones. ¿Cuál es el tamaño máximo de una página? ¿Cuántas entradas tiene la tabla de páginas? ¿Cuál es el tamaño de cada entrada? En el caso del TLB, ¿cuál es el tamaño de cada entrada?
- Esquema de la estructura del sistema de memoria principal y de su direccionamiento.
- Dada la siguiente secuencia de direcciones lógicas a memoria {1028, 1036, 256, 1032, 260, 1054}, calcula el tiempo de acceso al sistema de memoria. El contenido de la tabla de páginas es el siguiente:

Página Lógica:	2	14	4	5	1	13
Página Física:	10	6	0	12	33	15

- ¿Mejoraría algo el tiempo de acceso si se utiliza una memoria organizada en dos bancos consecutivos, cada uno de ellos con 16 módulos entrelazados?
- En este computador se ejecuta el siguiente programa:

```

                                movi r1, #0
                                movi r2, #2174
                                movi r3, #1021
    bucle: load r5, A[r1]
                                load r6, A[r1+2]
                                mul r5, r5, r6
                                load r7, [r2]
                                add r7, r7, r5
                                store r7, B[r1]
                                add r1, r1, #2
                                subi r3, r3, #1
                                bge r3, bucle

    for (i=0;i<1022;i++)
        B[i]=C[0]+(A[i]*A[i+1]);

```

El programa comienza en la dirección lógica 5120. El vector A comienza en la dirección lógica 60, el vector B en la dirección lógica 2560 y el vector C en la dirección lógica 2174. Las instrucciones y los elementos de los vectores son de tamaño 1 palabra.

¿Cuál es el tiempo de traducción para todas las referencias del programa?

18. El sistema de memoria de un computador tiene las siguientes características:

- Direccionamiento al byte, con palabras de 4 bytes.
- **Memoria virtual** paginada de 2 Mbytes, con páginas de 256 bytes. Para la traducción de direcciones se dispone de un TLB con tiempo de acceso de 20 ciclos en caso de fallo y 1 ciclo en caso de acierto. El TLB está inicialmente vacío.
- **Memoria principal** de 256 Kbytes, formada por 4 módulos entrelazados. El tiempo de acceso a MP es de 10 ciclos (1 desde el buffer de entrelazado).

En este computador se ejecuta el siguiente programa:

```

                                movi r1, #1272
                                movi r2, #0
                                movi r3,#251
bucle:                          load r5, A[r2]
                                load r6, A[r2+16]
for (i=0;i<252;i++)            mul r5, r5, r6
                                load r10, [r1]
                                add r6, r6, r10
                                store r6, B[r2]
                                add r2, r2, #4
                                subi r3, r3, #1
                                bge r3, bucle
                                B[i]=(A[i]*A[i+4])+C[0];

```

El programa comienza en la dirección lógica 0. El vector A comienza en la dirección lógica 2048, el vector B en la dirección lógica 256 y el vector C en la dirección lógica 1272. Las instrucciones y los elementos de los vectores son de tamaño 1 palabra.

Se pide:

- Esquema de la estructura del sistema de memoria, indicando cómo se utilizan los bits de las direcciones en cada nivel de la jerarquía de memoria. Indica el número de entradas en la tabla de páginas y el tamaño de cada entrada. Para el TLB, ¿cuál es el tamaño de cada entrada?
- Traduce las referencias que genera el programa en la primera pasada por el bucle y calcula el tiempo de acceso al sistema de memoria para cada una de esas referencias. Para ello, indica claramente, mediante una tabla, los diferentes pasos que sigues para el cálculo del tiempo de acceso.
- Calcula el tiempo de acceso total (tiempo de traducción + tiempo de acceso a memoria) para todas las referencias del programa.

La tabla de páginas contiene la siguiente información:

Página lógica:	1	0	3	8	20	4
Página física:	1	2	20	0	5	10