

## Estructura del sistema de memoria

### Implementación del mapa de memoria físico

#### EJEMPLO:

Bus de direcciones del procesador:  $n = 16$  bits

Direccionamiento al byte

Espacio de direccionamiento del procesador:  $2^{16} = 2^6 \cdot 2^{10} = 64 \text{ KB}$

- Módulos de memoria a instalar:

RAM de 2 KB a partir de la dirección  $8000_H$

RAM de 8 KB a partir de la dirección  $C000_H$

ROM de 1 KB a partir de la dirección  $0000_H$

- Solución:

- Direccionamiento particular de cada chip:

RAM(1) de 2 KB  $\rightarrow$  capacidad del chip:  $2 \text{ KB} = 2^1 \cdot 2^{10} = 2^{11}$   
 $\rightarrow$  bus de direcciones del chip:  $n_1 = 11$  bits  $\rightarrow$   
desde  $1000\ 0000\ 0000\ 0000_B$  hasta  $1000\ 0111\ 1111\ 1111_B$   
 $8000_H$   $87FF_H$

RAM(2) de 8 KB  $\rightarrow$  capacidad del chip:  $8 \text{ KB} = 2^3 \cdot 2^{10} = 2^{13}$   
 $\rightarrow$  bus de direcciones del chip:  $n_2 = 13$  bits  $\rightarrow$   
desde  $1100\ 0000\ 0000\ 0000_B$  hasta  $1101\ 1111\ 1111\ 1111_B$   
 $C000_H$   $DFFF_H$

ROM de 1 KB  $\rightarrow$  capacidad del chip:  $1 \text{ KB} = 2^0 \cdot 2^{10} = 2^{10}$   
 $\rightarrow$  bus de direcciones del chip:  $n_3 = 10$  bits  $\rightarrow$   
desde  $0000\ 0000\ 0000\ 0000_B$  hasta  $0000\ 0011\ 1111\ 1111_B$   
 $0000_H$   $03FF_H$

- Varias posibilidades de conexionado  $\rightarrow$  diferentes mapas de memoria

1. Ocupación mínima de direcciones físicas:

→ ecuaciones de activación de los chips (CS) "máximas"

Cada chip es seleccionado (o activado) utilizando todos los bits del bus de direcciones que el chip no utiliza como direcciones → en el mapa de memoria ocupará únicamente las posiciones reales que le corresponden.

RAM(1): desde 1000 0000 0000 0000<sub>B</sub> hasta 1000 0111 1111 1111<sub>B</sub>

→ direcciones del chip de la forma: 1000 0xxx xxxx xxxx<sub>B</sub>

5 bits      11 bits  
fijos      utilizados

→ selección de la memoria:  $A_{15}=1, A_{14}=0, A_{13}=0, A_{12}=0, A_{11}=0$

→  $CS_1 = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}}$ ,      @<sub>1</sub> =  $A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$  (11 bits)

RAM(2): desde 1100 0000 0000 0000<sub>B</sub> hasta 1101 1111 1111 1111<sub>B</sub>

→ direcciones del chip de la forma: 110x xxxx xxxx xxxx<sub>B</sub>

3 bits      13 bits  
fijos      utilizados

→ selección de la memoria:  $A_{15}=1, A_{14}=1, A_{13}=0$

→  $CS_2 = A_{15} \cdot A_{14} \cdot \overline{A_{13}}$ ,      @<sub>2</sub> =  $A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$  (13 bits)

ROM: desde 0000 0000 0000 0000<sub>B</sub> hasta 0000 0011 1111 1111<sub>B</sub>

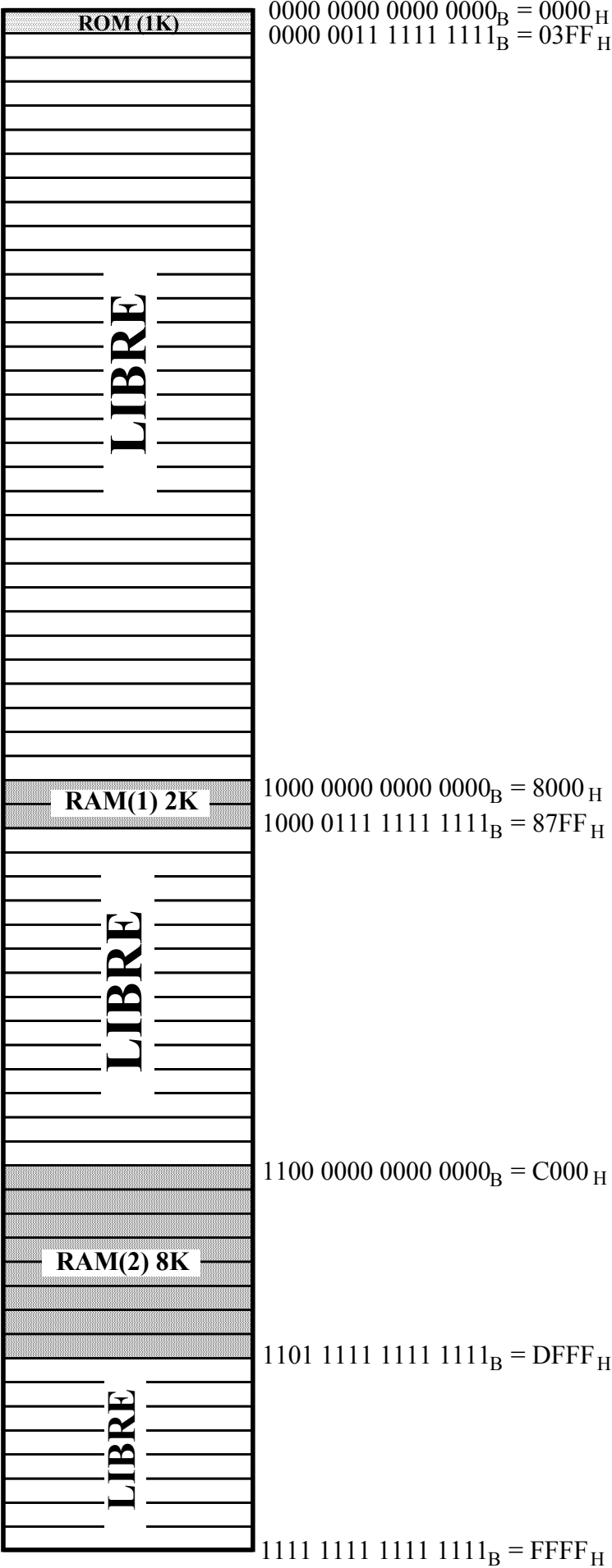
→ direcciones del chip de la forma: 0000 00xx xxxx xxxx<sub>B</sub>

6 bits      10 bits  
fijos      utilizados

→ selección de la memoria:  $A_{15}=0, A_{14}=0, A_{13}=0, A_{12}=0, A_{11}=0, A_{10}=0$

→  $CS_3 = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}}$ , @<sub>3</sub> =  $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$  (10 bits)

Mapa de memoria físico que ve el procesador:



## 2. Ocupación máxima de direcciones físicas:

→ ecuaciones de activación de los chips (CS) "mínimas"

Cada chip es seleccionado (o activado) utilizando únicamente los bits del bus de direcciones que no utiliza como direcciones y que difieren de los de los otros chips → en el mapa de memoria ocupará muchas más posiciones que las que le corresponden.

RAM(1): direcciones del chip de la forma: 1000 0xxx xxxx xxxxB

5 bits      11 bits  
fijos      utilizados

RAM(2): direcciones del chip de la forma: 110x xxxx xxxx xxxxB

3 bits      13 bits  
fijos      utilizados

ROM: direcciones del chip de la forma: 0000 00xx xxxx xxxxB

6 bits      10 bits  
fijos      utilizados

**DIFERENCIAS** en los bits no utilizados como direcciones:

ROM: siempre 0xxx xxxx xxxx xxxxB

RAM(1) y RAM(2): siempre 1xxx xxxx xxxx xxxxB

→ ROM: selección de la memoria:  $A_{15}=0$  →  $CS_3 = \overline{A_{15}}$ ,

$@_3 = A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$  (10 bits)      ( $A_{14} A_{13} A_{12} A_{11} A_{10}$  no utilizados)

**Problema:** ¿cómo distinguir entre RAM(1) y RAM(2)? →  
usando los siguientes bits diferentes

**DIFERENCIAS** en los bits no utilizados por RAM(1) y RAM(2):

RAM(1): siempre 10xx xxxx xxxx xxxxB

RAM(2): siempre 11xx xxxx xxxx xxxxB

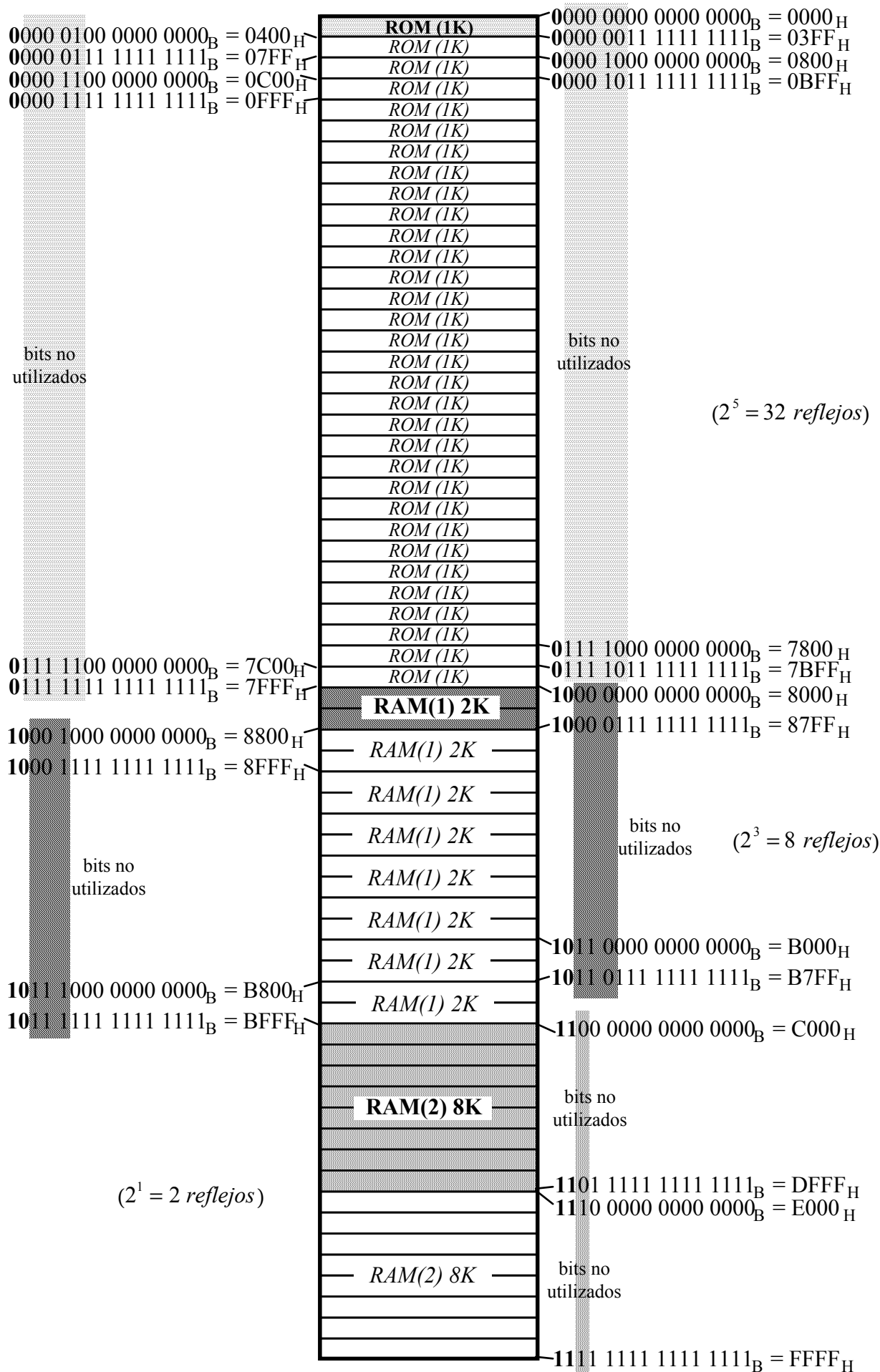
→ RAM(1): selección de la memoria:  $A_{15}=1, A_{14}=0$  →  $CS_1 = A_{15} \cdot \overline{A_{14}}$

$@_1 = A_{10} A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$  (11 bits)      ( $A_{13} A_{12} A_{11}$  no utilizados)

→ RAM(2): selección de la memoria:  $A_{15}=1, A_{14}=1$  →  $CS_2 = A_{15} \cdot A_{14}$

$@_2 = A_{12} A_{11} A_{10} A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$  (13 bits)      ( $A_{13}$  no utilizado)

Mapa de memoria físico que ve el procesador:



### 3. Ocupación intermedia de direcciones físicas:

→ ecuaciones de activación de los chips (CS) "intermedias"

Cada chip es seleccionado (o activado) utilizando algunos de los bits del bus de direcciones que no utiliza como direcciones y que difieren de los de los otros chips → en el mapa de memoria ocupará algunas posiciones más que las que le corresponden.

RAM(1): direcciones del chip de la forma: 1000 0xxx xxxx xxxx<sub>B</sub>

5 bits	11 bits
fijos	utilizados

RAM(2): direcciones del chip de la forma: 110x xxxx xxxx xxxx<sub>B</sub>

3 bits	13 bits
fijos	utilizados

ROM: direcciones del chip de la forma: 0000 00xx xxxx xxxx<sub>B</sub>

6 bits	10 bits
fijos	utilizados

**DIFERENCIAS** en los bits no utilizados como direcciones:

RAM(1): siempre **10**xx xxxx xxxx xxxx<sub>B</sub>

RAM(2): siempre **11xx xxxx xxxx xxxx**<sub>B</sub>

ROM: siempre **00xx xxxx xxxx xxxx<sub>B</sub>**

→ RAM(1): selección de la memoria:  $A_{15}=1, A_{14}=0 \rightarrow CS_1 = A_{15} \cdot \overline{A_{14}}$

$@_1 = A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$  (11 bits)      ( $A_{13}A_{12}A_{11}$  no utilizados)

→ RAM(2): selección de la memoria:  $A_{15}=1, A_{14}=1 \rightarrow CS_2 = A_{15} \cdot A_{14}$

$@_2 = A_{12}A_{11}A_{10}A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$  (13 bits) ( $A_{13}$  no utilizado)

→ ROM: selección de la memoria:  $A_{15}=0, A_{14}=0 \rightarrow CS_3 = \overline{A_{15}} \cdot \overline{A_{14}},$   
 $@_3 = A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$  (10 bits) ( $A_{13} A_{12} A_{11} A_{10}$  no utilizados)

Mapa de memoria físico que ve el procesador:

