

CONEXIÓN ENTRE SUBSISTEMAS: BUSES

Arquitectura de Computadores I

5º tema

Introducción

- **Objetivo:** analizar los elementos de interconexión que unen los diferentes componentes de un computador
- **Bus:** conjunto de líneas de señal que enlaza la CPU, la memoria y los periféricos de E/S, permitiendo la transferencia de información entre ellos
 - **Líneas de dirección:** @ de memoria o de puertos de E/S
 - **Líneas de datos:** información a leer o escribir
 - **Líneas de control:**
 - + operaciones a realizar: lectura, escritura, ...
 - + control de transferencia: protocolo y temporización
 - + arbitraje: determina qué dispositivo utiliza el bus (CPU, DMA, dispositivos E/S,...) en caso de conflicto
- **Funcionamiento general:** el dispositivo debe obtener el uso del bus y transferir el dato a través del bus, todo ello siguiendo un determinado protocolo
- **Operaciones en un bus:** lectura/escritura (dato/bloque), *Read-Modify-Write*, etc.

Introducción: definiciones

- **Ciclo de bus:** tiempo necesario para realizar una transferencia elemental de un dato entre dos dispositivos
 - Operación básica del bus
 - Etapas: petición del bus, arbitraje, direccionamiento, transferencia, detección de error, notificación
- **Anchura del bus:** número de líneas de datos en el bus
- **Ancho de banda del bus:** parámetro que expresa el máximo número de elementos de información (bytes) que se pueden transmitir por el bus en unidad de tiempo
 - Ejemplo: 1 MB/s \rightarrow 10^6 bytes/s
 - Velocidad de transmisión: longitud, medio físico, lógica de control, etc.
- **Protocolo del bus:** pautas que tienen que seguir los dispositivos conectados al bus para lograr una comunicación correcta

Introducción: definiciones

- **Maestro y esclavo:**

- Dispositivo maestro (**master**): capaz de iniciar una transferencia de bus ya que es el dueño del bus
- Dispositivo esclavo (**slave**): dispositivo pasivo, que espera peticiones
- Ejemplos:

Maestro	Esclavo	Operación
CPU	Memoria	Búsqueda de inst. y datos
CPU	Dispositivos E/S	Inicializar transferencia
DMA	Memoria	Transferencia de datos

- Relación dinámica: el dispositivo A puede ser maestro en una transferencia, pero esclavo en otra. Por ejemplo, el controlador de DMA

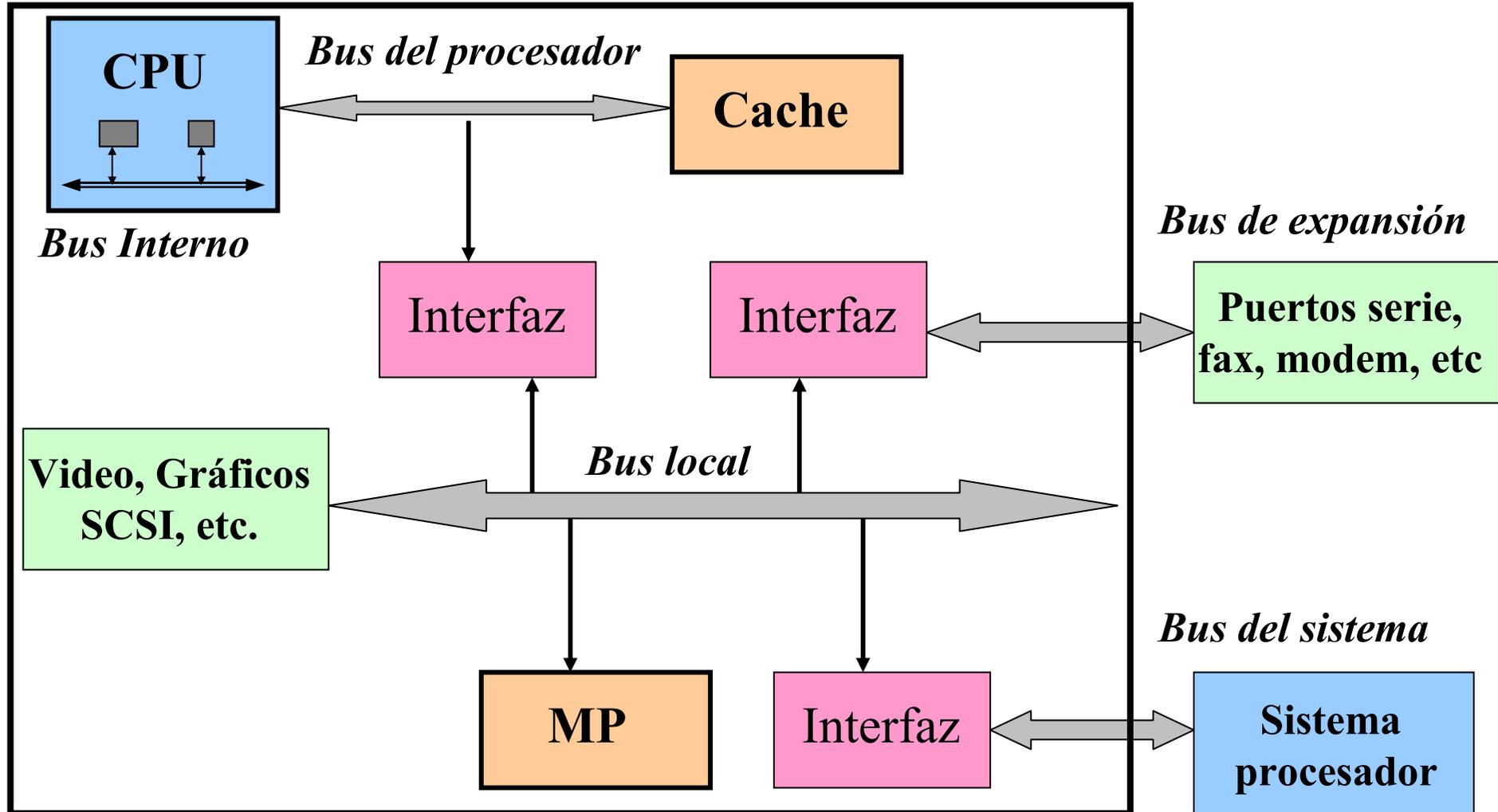
Introducción: jerarquía de buses

- **Problemas** si se conecta un gran número de dispositivos al bus:
 - mayor retardo de propagación de las señales entre dispositivos
 - diferencia entre las prestaciones de cada dispositivo: velocidad de funcionamiento, necesidad de ancho de banda, etc.
 - saturación de la capacidad del bus
 - bus único: cuello de botella del computador
- **Solución:**
 - utilizar varios buses organizados jerárquicamente, cada uno de ellos puede tener distinta anchura y velocidad de transmisión
 - los dispositivos con el mismo nivel de prestaciones comparten el mismo bus
 - acercar a la CPU los dispositivos con mejores prestaciones

Introducción: jerarquía de buses

- **Bus interno:** comunicación interna dentro de la CPU
- **Bus del procesador:** fundamentalmente, comunicación entre la CPU y la cache externa. Ejemplo: bus 400 MHz del P4
 - Poca longitud y alta velocidad
 - Específicos para cada sistema (señales del procesador)
- **Bus local:** buses para la conexión procesador/DRAM y dispositivos de E/S con altas prestaciones. Pueden ser buses de carácter general, como el PCI, o dedicados, como IDE, SCSI, AGP, USB...
- **Bus de expansión:** conexión de dispositivo de E/S con menores prestaciones (fax, puerto serie, modems,...). Ejemplo: ISA, MCA
 - Gran número de dispositivos diferentes, con ancho de banda variable
- **Bus del sistema:** conexión entre distintos sistemas procesador que forman un mismo sistema. Ejemplo: VME

Introducción: jerarquía de buses



Sistema monoprocesador

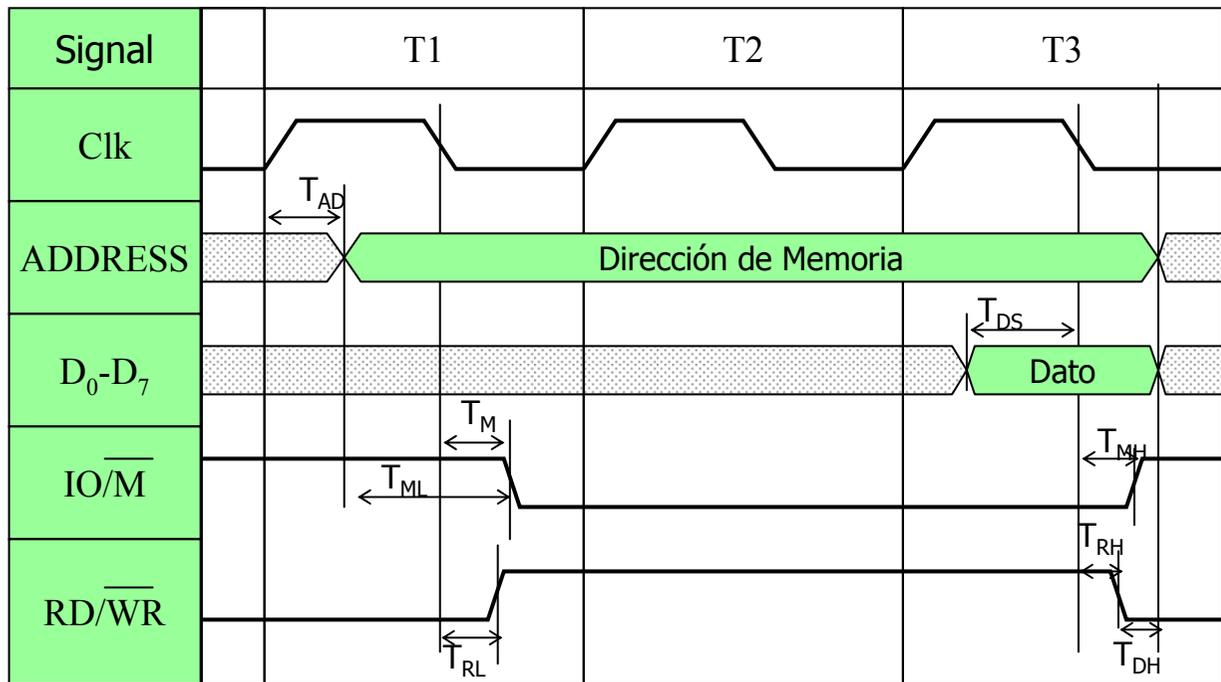
Temporización: protocolo de transmisión

- Forma en la que se coordinan los eventos en el bus para garantizar que la transmisión sea correcta
- Dos tipos básicos de protocolos: **síncrono** y **asíncrono**
- Protocolo síncrono: fácil de implementar, pero con poca flexibilidad (dispositivos con diferentes velocidades). Buses cortos (*bus skew*). Mayor ancho de banda.
- Protocolo asíncrono: permite adaptar la transferencia a la velocidad del dispositivo, compagina dispositivos lentos y rápidos.

Bus síncrono

- Transferencias controladas por una señal de reloj en el bus
- Una transferencia requiere un número entero de ciclos
- Ejemplo de protocolo:
 - T_{AD} : tiempo máximo que transcurre entre el flanco ascendente de reloj del primer ciclo y la estabilización de la dirección
 - T_{DS} : los datos leídos deben estar en el bus al menos 50 ns antes del flanco descendente del tercer ciclo, para que se estabilicen antes de que se lean
 - T_M y T_{RL} : indican que las señales IO/M.L y RD/WR.L deben activarse en los primeros 85 ns que transcurren después del flanco de bajada del primer ciclo

Ejemplo bus síncrono



Frecuencia 4 MHz \Rightarrow 250 ns (ciclo de reloj) \Rightarrow 750 ns de ciclo de lectura

• T_{AD} : 110 ns (máximo) Ancho de banda: 1,33 Mbyte/s (1 byte / 750 ns)

• T_{DS} : 50 ns (mínimo)

• T_M y T_{RL} : 85 ns (máximo)

\Rightarrow ciclo 1 \rightarrow 125-85 = 40 ns

ciclo 2 \rightarrow 250 ns

ciclo 3 \rightarrow 125 -50 = 75 ns

la memoria dispone de 365 ns en el peor de los casos para colocar los datos en el bus desde que se activa la señal RD

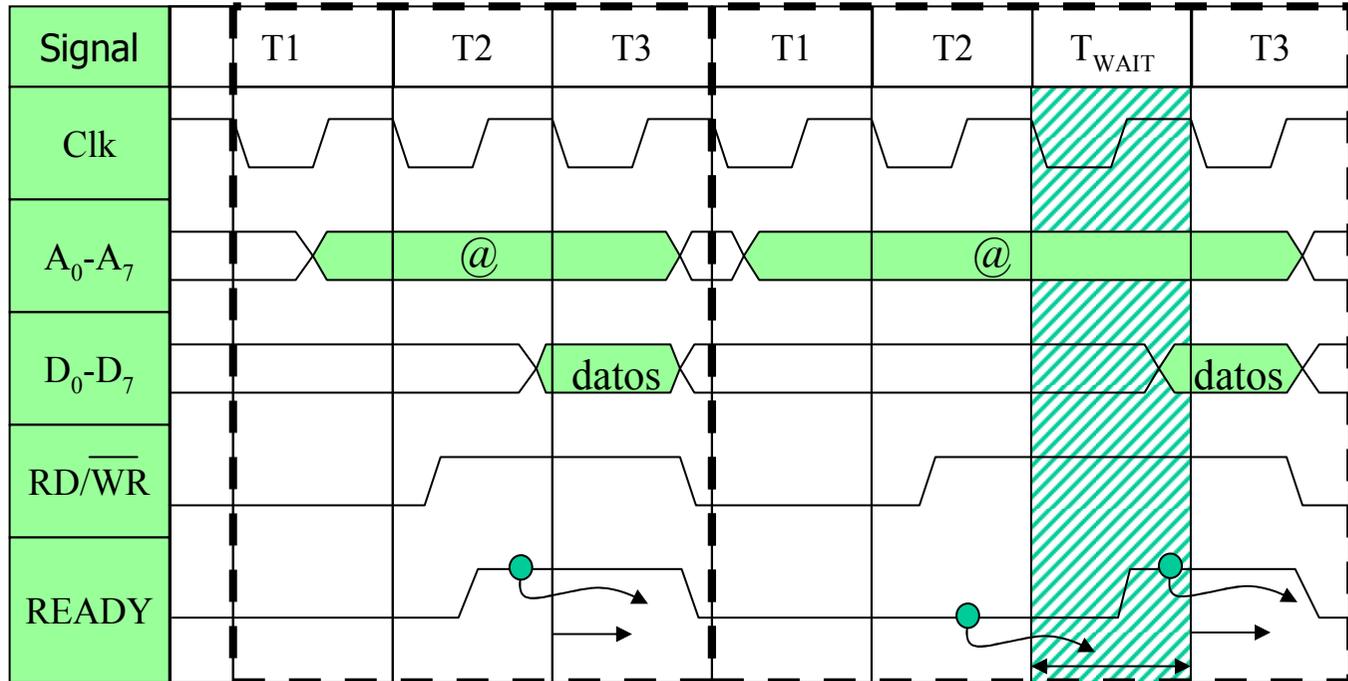
Bus síncrono

- **Aumentar el ancho de banda del bus:**
 - aumentar la frecuencia de reloj
 - problemas con los dispositivos → requiere menor tiempo respuesta
 - problema en el bus (*bus skew*): asegurar la estabilización de las señales (cada señal tiene su retardo de propagación)
 - realizar transferencias en modo ráfaga
 - el maestro indica al esclavo el número de bytes a transferir
 - el esclavo, en lugar de devolver un byte en el bus, coloca en el bus un byte en cada ciclo hasta alcanzar el número de bytes indicado
 - para el ejemplo anterior, el tiempo para leer un bloque de n bytes será de $n+2$ en lugar de $3n$

Bus semisíncrono

- Mismas características que el bus síncrono, pero añade una nueva **señal: READY** (o también BUSY o WAIT)
- Cuando un dispositivo no pueda realizar su trabajo en el tiempo prefijado, indica esta situación al maestro con la **NO activación** de la señal **READY**
 - se dedican más ciclos: **ciclos de espera** (*wait state*)
- Cuando los datos están disponibles, el esclavo activa la señal **READY**
- La señal **READY** permite ajustar el protocolo a la velocidad de cada dispositivo. El número de ciclos de espera añadidos depende del dispositivo
- Los protocolos con señal de reloj no consiguen aprovechar todas las posibilidades del dispositivo.
 - En el ejemplo anterior, una operación que necesita 550ns con un protocolo con 250ns de tiempo de ciclo, utilizará 3 ciclos de reloj (750ns)
 - pérdida de rendimiento

Bus semisíncrono



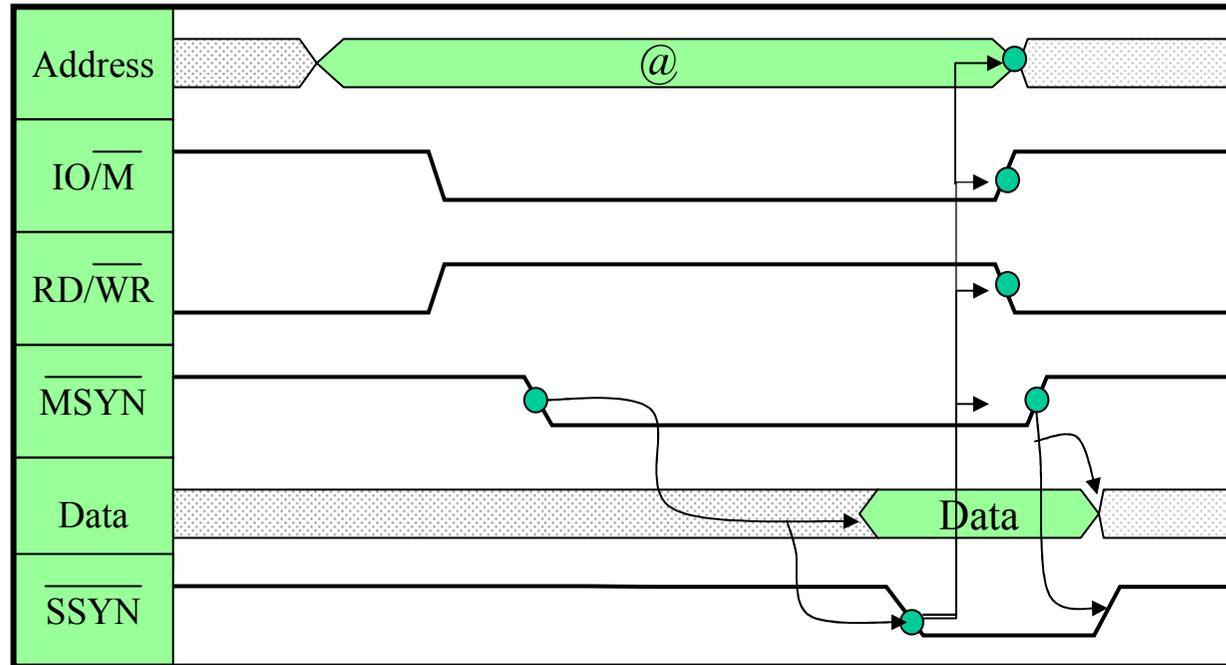
Sin ciclos de espera

Con 1 ciclo de espera

Bus asíncrono

- No existe señal de reloj en el bus. La comunicación entre dispositivos se realiza mediante una “conversación” (*handshake*) entre ambos, en base a dos nuevas **señales**: **MSYN.L** (*master synchronization*) y **SSYN.L** (*slave synchronization*)
 - El maestro activa las señales de dirección y control (p.e., lectura mem.)
 - Tras un breve intervalo de estabilización de las señales, activa la señal MSYN.L, indicando la presencia de señales de dirección y control válidas
 - Tras un tiempo no determinado a priori, el esclavo proporciona los datos y activa la señal SSYN.L para indicar que los datos están listos
 - El maestro recoge los datos y desactiva MSYN.L
 - El esclavo desactiva SSYN.L

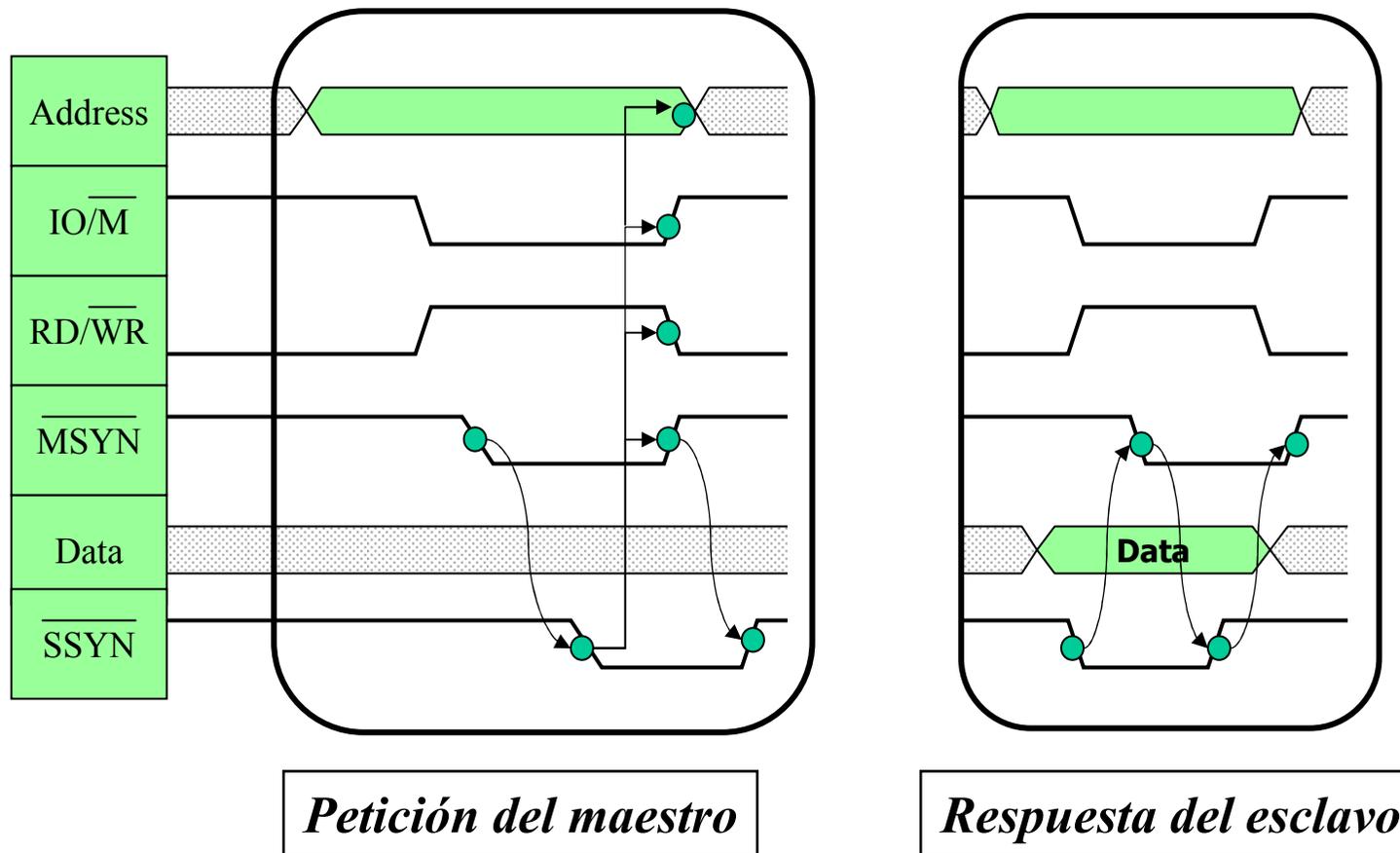
Bus asíncrono



Bus de ciclo partido

- Se distinguen dos fases: la petición del maestro y la respuesta del esclavo
 - el tiempo intermedio entre ambas fases se utiliza para otra transferencia
- Señales MSYN.L y SSYN.L (bus asíncrono)
- Primera fase (por ejemplo, lectura de memoria):
 - El maestro envía la dirección y activa las señales IO/M.L, RD/WR.L, además debe enviar su identificador
 - Tras el intervalo de estabilización de las señales, activa la señal MSYN.L
 - El esclavo activa SSYN.L, con lo que el maestro desactiva las señales y se desconecta. Finalmente, el esclavo desactiva SSYN.L
- Segunda fase: ahora el esclavo anterior es el maestro del bus
 - Cuando el esclavo tiene los datos listos, inicia la transferencia en el bus: coloca los datos en el bus, coloca el identificador del maestro en el bus y activa la señal SSYN.L
 - El maestro recoge los datos y activa la señal MSYN.L
 - El esclavo desactiva SSYN.L, con lo que el maestro desactiva MSYN.L

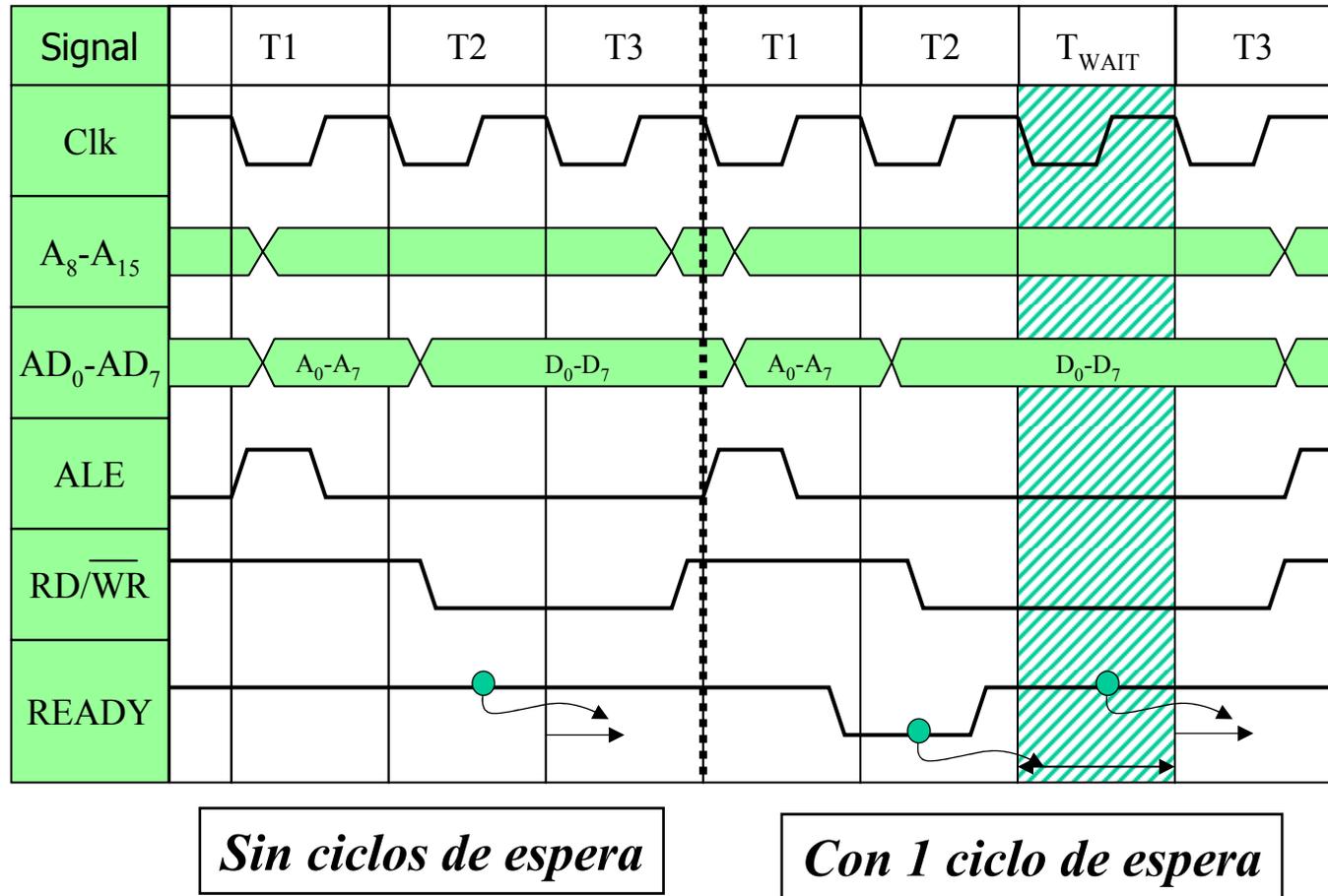
Bus de ciclo partido



Multiplexación de los buses

- Se utilizan las mismas líneas para enviar más de un tipo de señal: por ejemplo, direcciones y datos
 - **las líneas del bus se multiplexan en el tiempo**
- Nueva **señal: ALE** (*Address Latch Enable*), que indica qué es lo que en ese momento se envía por las líneas multiplexadas
- La multiplexación de las líneas de datos o dirección tiene como objetivo aumentar las prestaciones del bus con poco coste:
 - Aumentar el **espacio de direccionamiento**: si se multiplexan las líneas de datos, se pueden utilizar estas líneas para aumentar el número de bits para las direcciones
 - **Aumentar el ancho de banda**: si se multiplexan las líneas de dirección, se pueden utilizar estas líneas para transferir datos simultáneamente
- El hardware es más sencillo, pero el protocolo es más lento (no se puede enviar toda la información en paralelo)

Multiplexación de los buses



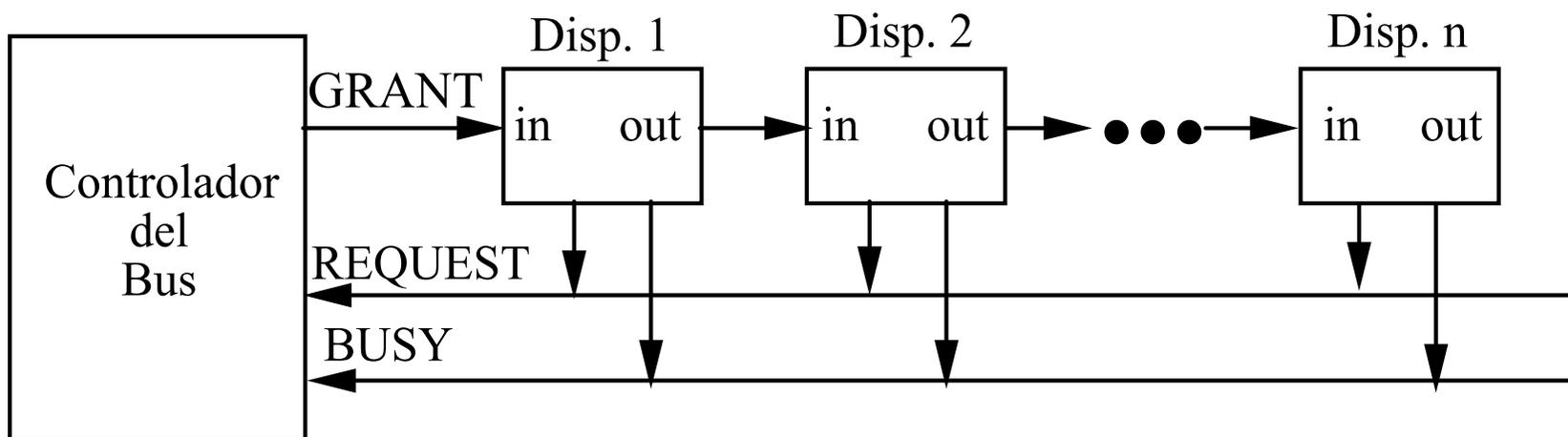
Ejemplo de bus semisíncrono multiplexado

Arbitraje del bus

- Si existen varios dispositivos maestros en un bus, ¿qué maestro puede utilizar el bus en caso de **peticiones simultáneas**? ¿cómo se gestionan las **prioridades** en el acceso al bus?
- Todos los protocolos trabajan básicamente con **3 señales**:
 - **Petición de bus** (*Bus Request*): es activada por el dispositivo que requiere el acceso al bus
 - **Concesión de bus** (*Bus Grant*): señal que envía el árbitro del bus al dispositivo para indicarle que tiene concedido el uso del bus
 - **Bus ocupado** (*Busy*): una vez que el dispositivo tiene concedido el uso del bus, activa esta señal para tomar el control del bus

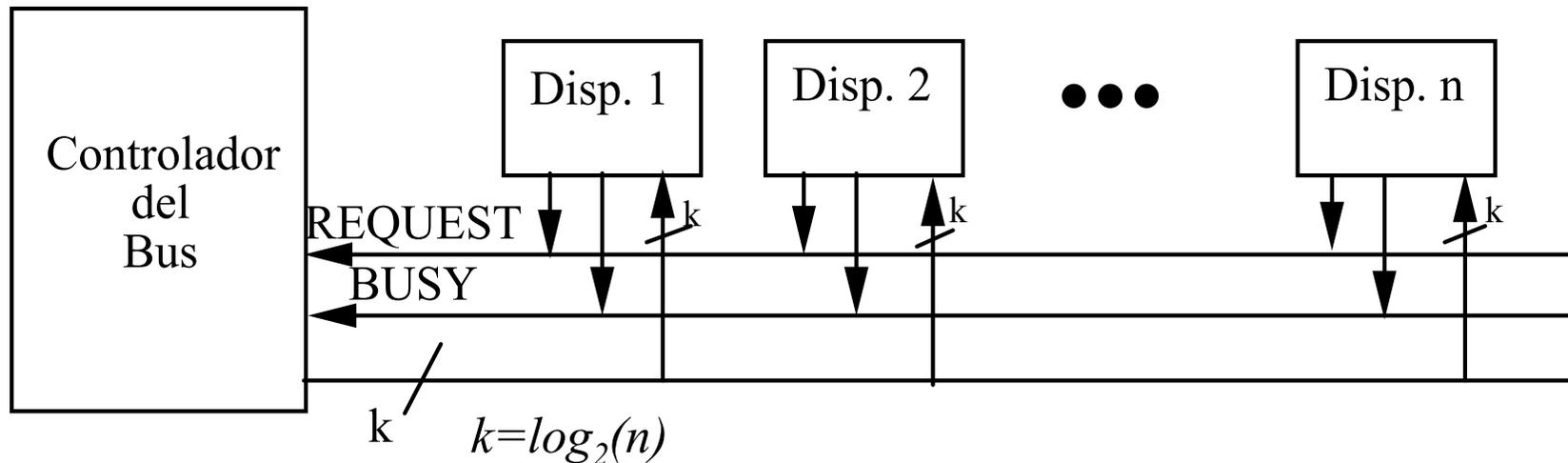
Cadena de margaritas (*Daisy-Chain*)

- El dispositivo activa *Bus Request* → el árbitro activa *Bus Grant*
- La señal *Bus Grant* llega al primer dispositivo (señal *in*), que:
 - si no ha realizado la petición, la pasa al siguiente → señal *out*
 - si ha realizado la petición, corta la propagación de la señal *Bus Grant* y activa la señal *Busy*
- Al acabar la transferencia, desactiva la señal *Busy* y libera el bus
- Prioridad de los dispositivos fija: por cercanía al árbitro del bus



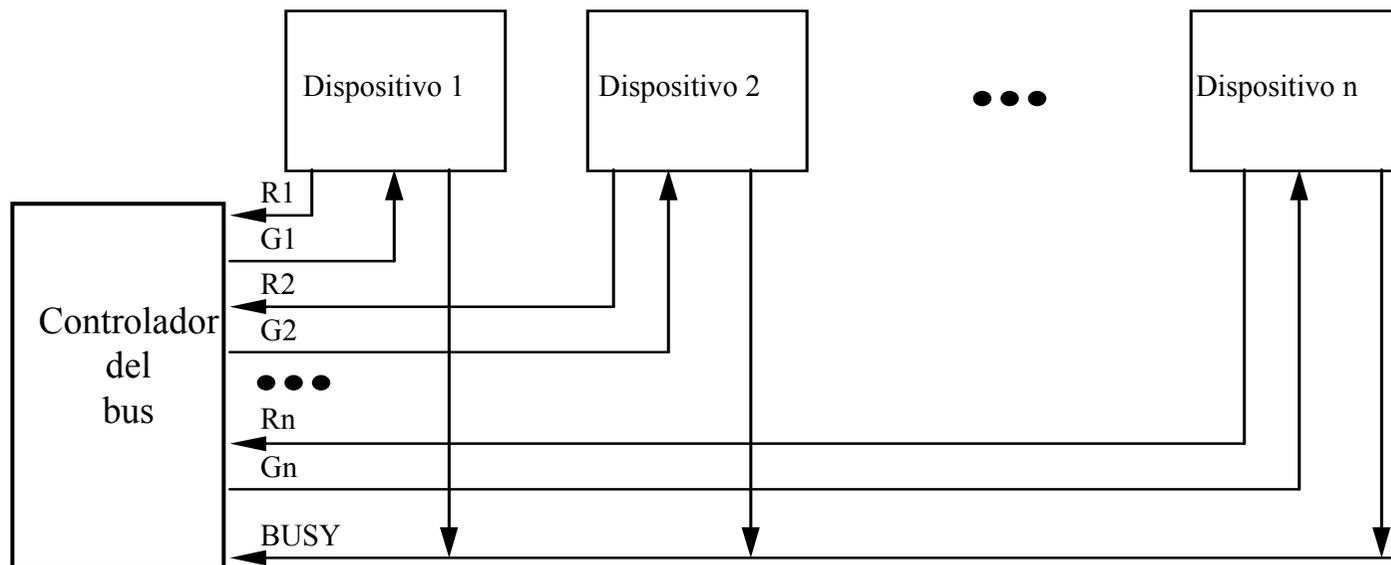
Encuesta (*Polling*)

- Cuando el controlador detecta una petición (*Bus Request*), realiza una encuesta para determinar el dispositivo
 - envía el código de cada dispositivo por medio de k señales
 - cuando el dispositivo que realizó la petición detecta su código, activa *Busy*, con lo que se interrumpe la encuesta
- El controlador puede iniciar una nueva encuesta a partir del dispositivo último atendido (*round robin*) o desde el principio
- Prioridad: depende del orden de encuesta (podría ser dinámica)



Peticiones independientes

- Cada dispositivo tiene su línea de petición (R_i) y de atención (G_i), pero todos utilizan la misma línea *Busy*
- Un árbitro centralizado decide a quién concede el control del bus de acuerdo a una determinada política de prioridades
- Ventaja: método rápido. Ejemplo de bus: PCI
- Desventaja: más líneas en el bus (R_i , G_i)



Arbitrajes distribuidos

- **Por autoselección** (ejemplo, SCSI):
 - Al igual que en el método anterior, los dispositivos solicitan el uso del bus de forma independiente
 - Los propios dispositivos que piden el acceso al bus determinan a quién se le concede el bus
 - Cada dispositivo pone en el bus su identificador
 - Los dispositivos consultan los identificadores para determinar cuál es el dispositivo más prioritario entre los que han hecho la petición de uso
- **Por detección de colisión** (ejemplo, Ethernet):
 - También se solicita el bus de forma independiente
 - Cuando un dispositivo quiere usar el bus, comprueba si está ocupado; si no, comienza la transmisión
 - Dado el retardo en la propagación de las señales, otro puede “escuchar” el bus y no detectar que está ocupado → comienza su transmisión → COLISIÓN
 - El dispositivo que transmite se queda escuchando y comprueba si hay colisión cuando detecta que lo que transmite no coincide con lo que escucha.
 - Si hay colisión, los dispositivos implicados interrumpen la transmisión y esperan un tiempo aleatorio antes de intentarlo de nuevo
 - repercusiones: el número de dispositivos debe ser bajo para no degradar el rendimiento

Transmisión serie/paralelo

- **Transmisión serie:**
 - Los bits son enviados uno tras otro a través del bus
 - La transmisión puede ser síncrona o asíncrona (se utiliza información de control al comienzo y final de la transmisión: bits de *start* y *stop*). Es más habitual la transmisión asíncrona.
 - Estándar: RS-232C (1969, *Electronic Industries Alliance*)
 - Máximo ancho de banda: 115 kb/s (poca distancia y buenos cables)
 - Conectores de 9 o 25 pines
 - Comunicación entre un terminal de datos, DTE (*Data Terminal Equipment*), y un transmisor de datos, DCE (*Data Carrier Equipment*)
 - Por ejemplo, DTE → procesador / DCE → módem
 - La transmisión puede ser:
 - *simplex*: en una única dirección (DTE→DCE ó DCE→DTE)
 - *half-duplex*: en ambos sentidos de forma no simultánea
 - *full-duplex*: bidireccional, en ambos sentidos de forma simultánea
 - Circuito UART 8250 (*Universal Asynchronous Receiver/Transmitter*): conversión de datos en paralelo a serie para su transmisión
 - PC → 4 puertos COM (@s: 3F8H,2F8H,3E8H,2E8H / IRQs: 4,3,4,3)
 - Utilización: conexión de ratones, módems, impresoras, plotters, etc.
 - Otros buses serie: USB, Fire Wire, Serial ATA, PCI Express

Transmisión serie/paralelo

- **Transmisión paralelo:**

- Los bits son enviados en bloques de n a través del bus
- Estándar: Centronics (1970, *Centronics Data Computer Corporation* + *Epson*)
 - Estándar de 8 bits, con ancho de banda máximo: 150 kB/s
 - Conectores de 25 pines, longitud 4.5m (15m con cables especiales)
 - PC → 2 puertos LPT (@s: 378H, 278H / IRQs: 7, 5)
 - comunicación unidireccional
- Nuevos estándares. Objetivo: aumentar el ancho de banda de la transmisión
 - EPP (*Extended Parallel Port*): comunicación bidireccional de 8 bits, con ancho de banda hasta 500 kB/s
 - ECP (*Extended Capabilities Port*) [*Microsoft y HP*]: capacidad de DMA, *daisy chain* para varios periféricos, buffers internos, con un ancho de banda hasta 1 MB/s
 - IEEE 1284 (1994): incluye 5 modos de transferencia de datos (entre ellos los anteriores), con un ancho de banda de 2 MB/s
- Utilización original: conexión impresora (actualmente, dispositivos varios)

Ejemplos de buses comerciales

- Bus **ISA, EISA, MCA**: *Industry Standard Architecture*
Extended ISA
Micro Channel Adapter
- Bus **PCI [PCI-X, PCIe]**: *Peripheral Component Interconnect*
- Bus **AGP**: *Accelerated Graphics Port*
- Bus **IDE**: *Integrated Drive Electronics*
- Bus **SCSI**: *Small Computer System Interface*
- Bus **SATA**: *Serial ATA*
- Bus *Serial Attached SCSI*
- Buses **USB** (*Universal Serial Bus*) y **Fire Wire**
- Bus **AC'97**
- Bus **PCMCIA**: *Personal Computer Memory Card International Association*
- Bus **VME**: *Versa Module Europe*
- Bus **FUTUREBus+**

Bibliografía

- **Libros**

- Arquitectura del PC (volumen II), M. Ujaldón
- Hardware y componentes, J.E. Herrerías
- Upgrading and repairing PCs, S. Mueller

- **Revistas**

- Byte, PC Actual, PC World, PC Plus, PC Magazine

- **Páginas web**

- <http://www.techfest.com/hardware/bus/isa.htm>
- <http://www.pcisig.com>
- <http://www.agpforum.org>
- <http://www.1394ta.org> (bus Fire Wire)
- <http://www.usb.org>
- <http://www.t10.org> (bus SCSI)
- <http://www.t13.org> (bus IDE)
- <http://www.scsita.org> (bus SCSI y Serial Attached SCSI)

Buses ISA, EISA, MCA

- Bus **ISA** (*Industry Standard Architecture*), bus síncrono desarrollado por IBM:
 - 1981 versión de 8 bits a 4,77 MHz para el PC XT (bus de 62 contactos)
 - 1984 versión de 16 bits a 8,33 MHz para el PC AT (62+36 contactos)
- Compaq desarrolló en 1988 una extensión a 32 bits con la llegada de los micros de 32 bits → **EISA** (*Extended ISA*), que fracasó con la llegada del PCI
- En algunas placas base se mantiene el bus ISA de 16 bits: conexión de periféricos que requieren poco ancho de banda (fax, modem, etc.)
- Originalmente no eran *Plug&Play* (instalación manual de @, IRQs), posteriormente Microsoft e Intel desarrollaron extensiones *Plug&Play*
- Resumen de versiones comerciales:

Bus	CPU	MHz	@/datos	IRQs	canales DMA	MB/s
ISA (8 bits)	8086	4,77	20/8 bits	8+NMI	4	2 (2 ciclos)
ISA (16 bits)	80286	8,33	24/16	16+NMI	8	8 (2 ciclos)
EISA (32 bits)	80386	8,33	32/32	16+NMI	8	33
MCA (32 bits)	80386	20	32/32	16+NMI	8	80

- Bus **MCA** (*Micro Chanel Adapter*):
 - desarrollo propio de IBM en 1987, no compatible con ISA
 - bus síncrono, con la especificación *Plug&Play*
 - no se ha adoptado → coste superior, patente IBM, ...

Bus PCI (*Peripheral Component Interconnect*)

- Introducido por Intel en 1993 para los sistemas Pentium en el chipset 430FX con placas base de 100MHz (o superiores)
- Objetivo: servir a periféricos que requerían más prestaciones que las del bus ISA (sistemas gráficos, red, discos, etc.)
- Bus síncrono. Arbitraje centralizado (peticiones independientes)
- Líneas de direcciones y datos multiplexadas: 32 o 64 bits

Estándar	MHz	Líneas datos	Ancho de banda
1.0	33	32 bits	133 MB/s
2.0	33	64	266
2.1/2.2/2.3	66	64	533

- Transferencias en modo ráfaga
- Longitud de 0,5 metros, permite conectar 1024 dispositivos con 32 segmentos de bus y 32 dispositivos en cada segmento
- Permite la especificación Plug&Play

Bus PCI: PCI-X y PCI Express

- **PCI-X:**
 - Estándar dirigido a computadores de gama alta y estaciones gráficas
 - 2000, PCI-X 1.0 → 64 bits, 133 MHz, 1066 MB/s
 - 2002, PCI-X 2.0 → 64 bits, 133 MHz, 2x: 2133 MB/s, 4x: 4266 MB/s
- **PCI Express (PCIe):**
 - Especificación en 2002 → mercado en 2004. Sustituto de PCI y AGP
 - Técnicamente es nueva arquitectura PCI:
 - Bus serie punto a punto (a través de un *switch*)
 - Transmisión bidireccional
 - Frecuencia: 2,5 GHz
 - 6 formatos, cada uno con un formato de *slot* y ancho de banda diferentes:

x1 → 250 MB/s	x8 → 2000 MB/s	x32 → 8000 MB/s
x2 → 500 MB/s	x12 → 3000 MB/s	
x4 → 1000 MB/s	x16 → 4000 MB/s	

Bus AGP (*Accelerated Graphics Port*)

- Introducido por Intel en 1997 para acelerar el tratamiento de los gráficos 3D y realidad virtual (visualizar 10-25 imágenes 3D por segundo) → el bus PCI resultaba el cuello de botella
- Versión especializada de PCI para gráficos que conecta el procesador directamente con la memoria de video y la MP
- Utiliza técnicas de segmentación en la gestión de peticiones y acceso a memoria
- Bus de 32 bits a 66 MHz, con las siguientes especificaciones:
 - AGP 1.0 (1996): 1x → 266 MB/s (4 bytes/ciclo) 2x → 533 MB/s
 - AGP 2.0 (1998): 1x, 2x, 4x → 1,07 GB/s
 - AGP 3.0 (2002): 1x, 2x, 4x, 8x → 2,1 GB/s [funcionamiento isocrono]
- AGP Pro: versión orientada a estaciones gráficas y servidores

Bus IDE (*Integrated Drive Electronics*)

- Introducido por Western Digital en 1984 para la conexión de dispositivos de almacenamiento (discos flexibles, discos duros, CDRoms, etc.) sustituyendo las controladoras de los PC XT
- El controlador del disco está instalado en el propio dispositivo y la placa base implementa un circuito puente para pasar la información del bus IDE al bus local (normalmente PCI)
- Especificaciones:
 - ATA (*AT Attachment*: Conexión AT) [IDE]: 16 bits datos, [1,66 MHz → 8,33 MB/s]
 - ATA-2 (1996): LBA (>528 MB), PIO 3/4, DMA [8,33 MHz → 16,66 MB/s]
 - FAST-ATA
 - EIDE (*Enhanced IDE*): doble canal IDE, interfaz para CDs, DVDs
 - ATA-3 (1997): mejoras adicionales, no mejora el ancho de banda
 - ATA-4 (1998): Ultra-DMA (flanco subida+bajada) [2x8,33 MHz → 33 MB/s]
 - ATA-5 (2000): Ultra-DMA 3/4 [2x16,66 MHz → 66 MB/s], comercial: Ultra-ATA/66
 - ATA-6 (2001): Ultra-DMA 5 [2x25 MHz → 100 MB/s], comercial: Ultra-ATA/100
 - ATA-7 (2003): 133 MB/s, comercial: Ultra-ATA/133 (última especificación??)
- ATA-4 y ATA-5 requieren buses de 80 líneas, frente a las 40 líneas del resto, aunque el conector final es del mismo tamaño

IDE (*Integrated Drive Electronics*)

- Resumen de las especificaciones comerciales de IDE

Comercial	Estándar	Norma	MB/s
IDE	ATA	PIO 0	3,33
		PIO 1	5,22
		PIO 2	8,33
EIDE	ATA2 ampliado	PIO 3 + DMA 0-2	11,11
		PIO 4 + DMA 0-2	16,66
Ultra-DMA	ATA-4	PIO 0-4 + DMA 0-2 + Ultra-DMA 0-2	33
Ultra-ATA/66	ATA-5	PIO 0-4 + DMA 0-2 + Ultra-DMA 0-4	66
Ultra-ATA/100	ATA-6	PIO 0-4 + DMA 0-2 + Ultra-DMA 0-5	100

- En un PC existen:
 - 2 canales IDE de 40/80 líneas para discos duros y CDs (*PRIMARY IDE o IDE1 (IRQ14) + SECONDARY IDE o IDE2 (IRQ15)*), cada uno con conexión para 2 dispositivos. Configuración maestro/esclavo (*jumpers*) que determina la prioridad de uso del bus
 - 1 canal IDE para discos flexibles (*FLOPPY*) , de menor anchura (34 líneas)

Bus SCSI (*Small Computer System Interface*)

- Introducido en 1983 para conectar múltiples periféricos de carácter heterogéneo: discos, escáneres, impresoras, etc.
- Especificaciones:
 - SCSI-1 asíncrono (1983): 8 bits datos, 4 MB/s, permite conectar 7 dispositivos
 - SCSI-1 síncrono: 8 bits datos, 5 MHz, 5 MB/s
 - SCSI-2 (1989): protocolo unificado para discos, cintas, CD-ROM, escáner, etc.
 - Fast-SCSI duplica la frecuencia hasta los 10 MHz [10 MB/s]
 - Wide-SCSI: bus de datos de 16 bits [10 MB/s], conexión de 15 dispositivos
 - Fast-Wide-SCSI: 10 MHz, 16 bits datos → 20 MB/s
 - SCSI-3 (UltraSCSI): RAID, ancho banda máximo 320 MB/s (16 bits, 80 MHz, 2x)
- Los dispositivos al mismo bus por medio de *daisy chain*. El primer dispositivo se conecta a una controladora SCSI en el PC y el último dispositivo es un terminador de cadena
- Líneas datos/direcciones multiplexadas. Arbitraje: autoselección (diálogo entre los propios dispositivos)
- Protocolo “inteligente”: diálogo directamente entre dispositivos, sin la intervención del procesador

SCSI (*Small Computer System Interface*)

- Resumen de versiones comerciales:

Comercial	Estándar	MHz	datos	#dispositivos	MB/s	longitud
SCSI	SCSI-1	5	8 bits	7	5	6m(SE)/25m(HVD)
Fast-SCSI	SCSI-2	10	8	7	10	3m(SE)/25m(HVD)
Wide-SCSI	SCSI-2	5	16	15	10	6m(SE)/25m(HVD)
Fast-Wide-SCSI	SCSI-2	10	16	15	20	3m(SE)/25m(HVD)
Ultra-SCSI	SCSI-3	20	8	7	20	1,5m(SE)
Wide-Ultra-	SCSI-3	20	16	15	40	1,5m(SE)/25m(HVD)
Ultra2	SCSI-3	40	8	15	40	12m(LVD)/25m(HVD)
Wide-Ultra2	SCSI-3	40	16	15	80	12m(LVD)/25m(HVD)
Wide-Ultra3 (Ultra160)	SCSI-3	2x40	16	15	160	12m(LVD)
Ultra320 SCSI	SCSI-3	2x80	16	15	320	12m(LVD)

- Cables de 50 pines (cable A, 8 bits) y 68 pines (cable P, 16 bits)
- Gran variedad de conectores (50 y 68 pines, conectores de alta densidad....)
- Frente al bus IDE:
 - mejores prestaciones: ancho de banda, gestión de comandos, etc.
 - “inteligencia” en las transferencias
 - mayor coste: 2 veces más para un disco del mismo tamaño + controladora
 → orientado a entornos profesionales: servidores, sistemas RAID, ...

Bus Serial ATA (*SATA*)

- Serial ATA 1.0 desde febrero 2000. Serial ATA Working Group (Dell, IBM, Intel, Maxtor, Quantum, Seagate, APT Technologies)
- Bus serie, a partir de 150 MB/s [SATA 1.0, 2003] (750 MHz)
 - versión II a 300 MB/s (1500 MHz)
 - versión III a 600 MB/s (3000 MHz)
- Cable de 15 contactos
 - Positivo/negativo/tierra en cada sentido (3+3)
 - 6 contactos para hacer posible las capacidades *hot plugging*
 - Menor tamaño que IDE, facilita la refrigeración dentro de la carcasa
 - Conexión en caliente
- Permite conexión punto a punto a una longitud máxima de 1 metro
- Cada unidad Serial ATA emplea una sola conexión de este tipo (no comparte bus → no configuración maestro/esclavo)

Bus Serial Attached SCSI

- 2001, grupo de trabajo: Compaq, IBM, LSI Logic, Maxtor, Seagate
- Versión comercial en 2004
- Objetivo: aglutinar las ventajas de las tecnologías actuales
 - Robustez de los dispositivos SCSI
 - Alta capacidad y bajo coste de SATA
 - Velocidad de la fibra óptica
 - Sistemas con altos niveles de exigencia en velocidad y fiabilidad: servidores, RAID...
- Utiliza dos canales independientes de entrada/salida
- Especificaciones:
 - SAS 300 (2004): 300 MB/s, 128 dispositivos, dispositivos externos (6 metros)
 - SAS 600 (2007): 600 MB/s
 - SAS 1200 (2010): 1200 MB/s
- Compatible con Serial ATA
- Información en la web → <http://www.scsita.org>

Bus USB (*Universal Serial Bus*)

- 1995 (*Pentium II*) [Intel, IBM, Microsoft, Compaq, etc.]
- Bus serie bidireccional. Arquitectura cliente/servidor (*host*)
- Especificaciones:
 - USB 1.0: 1995, 1.5 MHz, 1.5 Mbits/s, 3 metros [teclado, ratón, ...]
 - USB 1.1: 1998, 12 MHz, 12 Mbits/s (1.5 MB/s), 5 metros [impresoras, ...]
 - USB 2.0: 2000, 480 MHz, 480 Mbits/s (60 MB/s), 5 metros [HD, DVD, ...]
- Tres modos de funcionamiento:
 - interrupción: dispositivos lentos (teclado, ratón, etc.)
 - bloques: dispositivos que mueven paquetes de información (discos, etc.)
 - isocrono: proporciona flujo constante y en tiempo real (sonido, video, etc.)
- Ventajas:
 - unificación de conectores y cableado
 - facilidad de montaje: no tarjetas y *Plug&Play*
 - conexión de hasta 127 periféricos en una topología en estrella basada en *hubs* o concentradores (comparten IRQ y ancho de banda total)
 - conexión en caliente: sin necesidad de rearrancar el equipo
 - alimentación directa desde el conector USB (máximo de 2,5 W)

Bus Fire Wire (*cable de fuego*)

- Apple, estandarizado por IEEE en 1995 [IEEE-1394]
- Bus serie. Arquitectura punto a punto, que permite la conexión de 63 dispositivos sin necesidad de un *host*
- Especificaciones:
 - IEEE 1394a: 100, 200 y 400 MHz → 100, 200 y 400 Mbits/s
 - IEEE 1394b: 800 MHz → 800 Mbits/s (100 MB/s)
 - IEEE 1394b: 1600 MHz → 1600 Mbits/s (200 MB/s)
 - longitud máxima: 4,5 metros
- Ventajas similares a las de USB:
 - unificación de conectores y cableado
 - facilidad de montaje: no tarjetas y *Plug&Play*
 - conexión en caliente: sin necesidad de rearrancar el equipo
 - alimentación incluida en el bus
 - transferencias en modo isocrono (video digital, etc.)
- Interfaz más inteligente que USB (comandos, etc.), pero más caro que USB
- Orientado a dispositivos multimedia (video digital)

Bus AC'97

- Intel, 1997
- Bus específico para la transmisión de información analógica: sonido (tarjeta de sonido), línea telefónica (módem)
- Se integra en una tarjeta que se conecta a la placa por medio de un zócalo AMR (*Audio Modem Riser*) [similar a AGP], cuya salida es el conector para la línea telefónica y los conectores de sonido
- Evita la utilización del bus PCI para la transmisión de estos datos, liberando recursos (IRQs utilizadas por el módem y la tarjeta de sonido)
- Existe en placas base a partir del Pentium III. En algunas placas base, este bus está integrado en la placa (no tarjeta)

Bus PCMCIA

(Personal Computer Memory Card International Association)

- Introducido en 1990 como tarjeta de expansión de memoria para ordenadores portátiles
- Actualmente se pueden conectar tarjetas de módem, sonido, SCSI, discos, etc.
- Existen tres tipos de tarjetas de 68 pines (tamaño 54 x 85,6 mm):
 - Tipo I: 3,3 mm anchura, conexión de memoria
 - Tipo II: 5 mm, módems y sonido, *plug&play*
 - Tipo III: 10,5 mm, anteriores+discos
- La especificación original era de 8 y 16 bits a la misma frecuencia que el bus ISA (8,33 MHz). En 1996 aparece la especificación de 32 bits a 33 MHz (misma frecuencia que PCI)

Buses VME, FUTUREBus+

- Buses para sistemas con altas prestaciones (por ejemplo, multiproceso)
- Bus **VME** (*Versa Module Europe*) [IEEE-1014]:
 - introducido en 1981 por Motorola para el MC68000
 - bus asíncrono, no multiplexado (128 líneas)
 - arbitraje *daisy chain*, longitud de 0,5 metros
 - direcciones de 16, 24 o 32 bits / datos de 8, 16 o 32 bits
 - posibilidad de conectar 21 nodos
 - 10 Mbytes/s (simple) – 20 Mbytes/s (ráfaga) – 40 Mbytes/s (ráfaga y 32 bits)
 - extensiones para memoria (VMX), bus serie (VMS), E/S alto rendimiento (VSB), instrumentación (VXI), usos militares, etc.
- **FUTUREBus+**
 - estructura básica similar al bus VME
 - bus asíncrono, multiplexado
 - arbitraje centralizado o distribuido
 - posibilidad de conectar 32 nodos, longitud de 0,5 metros
 - direcciones de 64 bits y datos de 32, 64, 128 o 256 bits
 - ancho de banda máximo: 3200 Mbytes/s